

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IFW



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

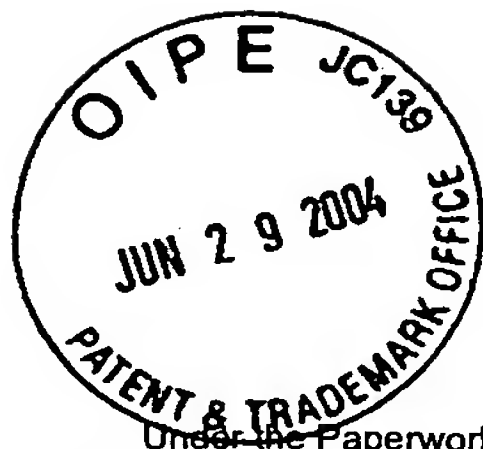
TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/709,980	
	Filing Date	06/10/2004	
	First Named Inventor	Ching-Wei Lin	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	TOPP0016USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks		
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT		
Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature		
Date	6/25/2004	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/709,980
Filing Date	06/10/2004
First Named Inventor	Ching-Wei Lin
Examiner Name	
Art Unit	
Attorney Docket No.	TOPP0016USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number
Deposit Account Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	- 3** =	X	
Multiple Dependent			

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

(Complete (if applicable))

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	6/25/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

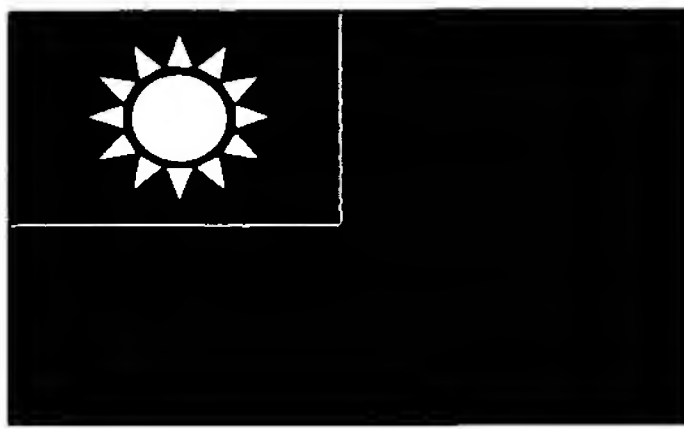
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092116013	Taiwan R.O.C	06/12/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 12 日
Application Date

申請案號：092116013
Application No.

申請人：統寶光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 日
Issue Date

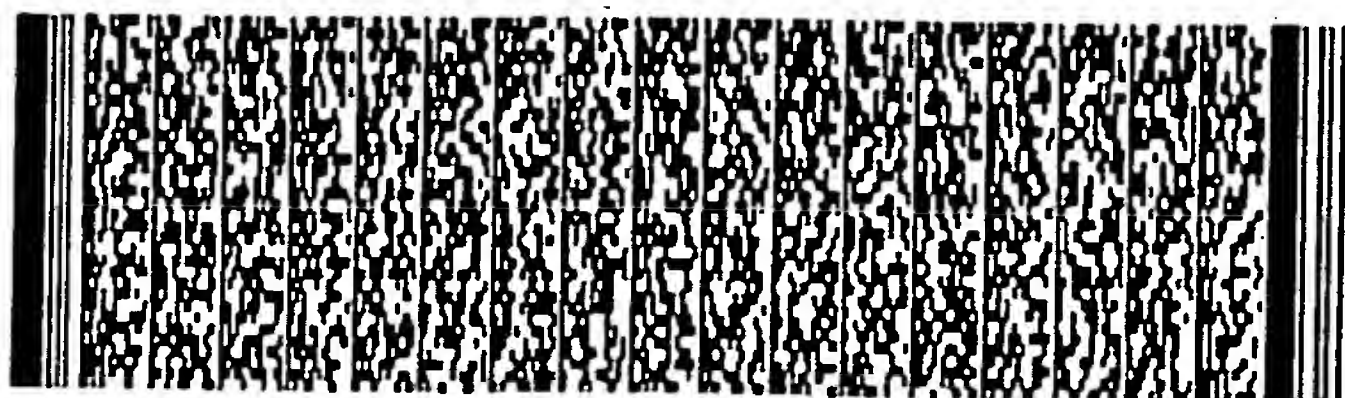
發文字號：09320108760
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	一種利用雷射結晶製程來製作薄膜電晶體的方法
	英文	METHOD OF FORMING A THIN FILM TRANSISTOR BY A LASER CRYSTALLIZATION PROCESS
二、發明人 (共1人)	姓名 (中文)	1. 林敬偉
	姓名 (英文)	1. Lin, Ching-Wei
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣桃園市龍山里二十三鄰龍山街二一二號
	住居所 (英文)	1. No. 212, Lung-Shan St., Tou-Yuan City, Tao-Yuan Hsien, Taiwan, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 統寶光電股份有限公司
	名稱或姓名 (英文)	1. Toppoly Optoelectronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 苗栗縣新竹科學工業園區竹南鎮科中路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Ke-Jung Rd., Science-Based Industrial Park, Miao-Li Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 陳瑞聰
代表人 (英文)	1. Chen, Jui-Tsung	



四、中文發明摘要 (發明名稱：一種利用雷射結晶製程來製作薄膜電晶體的方法)

本發明係先形成一非晶矽圖案，該非晶矽圖案包含有一第一、第二區域，至少一緊鄰該第二區域具有一第一高度之第一尖端區域，至少一位於該第一區域以及各該第一尖端區域間之第四區域，各該第四區域具有一小於該第二高度之第四高度，進行一雷射結晶製程，於各該第四區域之內結晶成一第一單晶矽晶粒。

五、(一)、本案代表圖為：第七圖

(二)、本案代表圖之元件代表符號簡單說明

100 絕緣基板

116 第一區域

122 尖端區域

126 第四區域

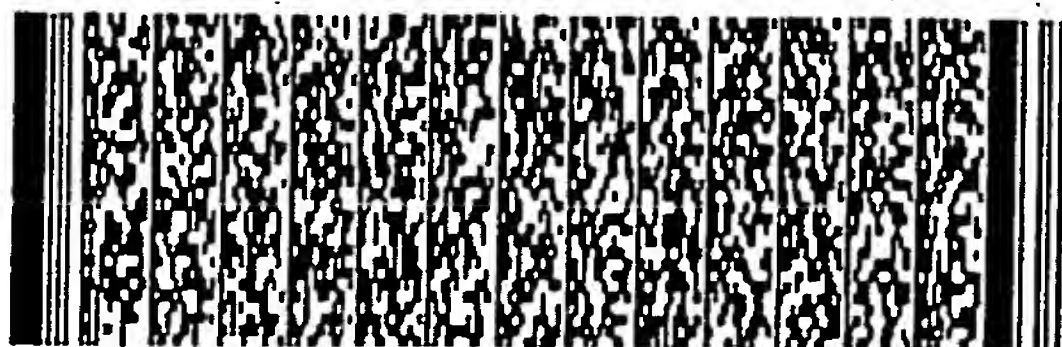
108 非晶矽圖案

118 第二區域

124 第三區域

六、英文發明摘要 (發明名稱：METHOD OF FORMING A THIN FILM TRANSISTOR BY A LASER CRYSTALLIZATION PROCESS)

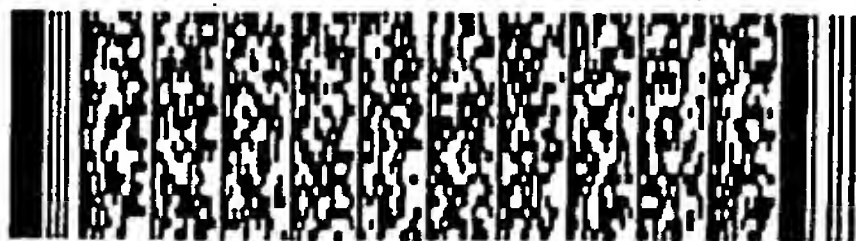
An amorphous silicon pattern is formed first. A first region, a second region, a first pointed region adjacent to the second region and having a second height, at least one fourth region between the first region and each first pointed region are included in the amorphous silicon pattern. Each fourth region has a fourth height smaller than the second height. A laser crystallization



四、中文發明摘要 (發明名稱：一種利用雷射結晶製程來製作薄膜電晶體的方法)

六、英文發明摘要 (發明名稱：METHOD OF FORMING A THIN FILM TRANSISTOR BY A LASER CRYSTALLIZATION PROCESS)

process is performed to form a first single crystal grain in each fourth region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

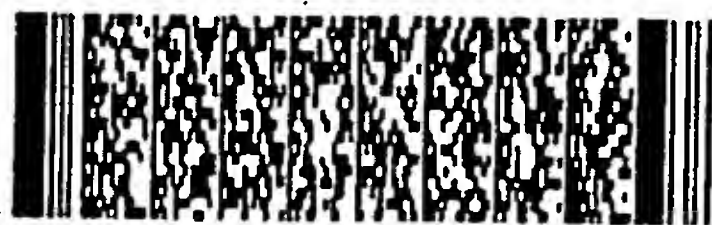
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



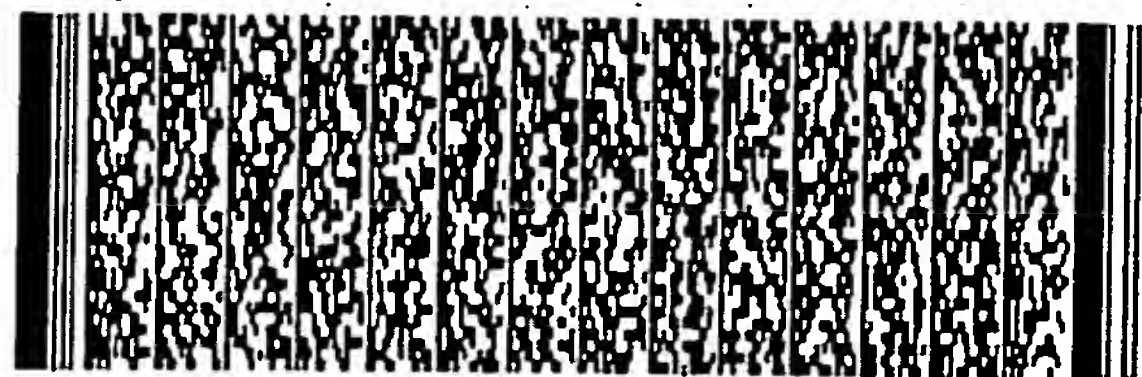
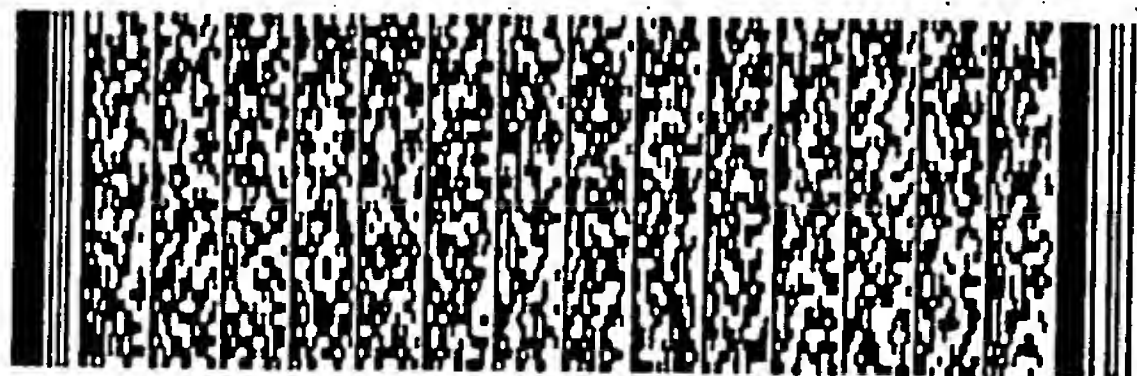
五、發明說明 (1)

發明所屬之技術領域

本發明係提供一種薄膜電晶體 (thin film transistor, TFT) 的製作方法，尤指一種利用雷射結晶 (laser crystallization, LC) 製程以提昇電氣特性 (electrical characteristics) 以及均勻性 (uniformity) 之低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 的製作方法。

先前技術

在現今的平面顯示器技術中，液晶顯示器 (liquid crystal display, LCD) 可謂其中最為熱門的一項技術，舉凡日常生活中常見的手機、數位相機、攝影機、筆記型電腦以至於監視器均是利用此項技術所製造的商品。隨著人們對於顯示器視覺感受要求的提高，加上新技術應用領域不斷的擴展，更高畫質、高解析度、高亮度且具低價位的平面顯示器便成為未來顯示技術發展的趨勢，也造就了新的顯示技術發展的原動力。而平面顯示器中的低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 液晶顯示器 (LCD) 除了具有符合主動式驅動 (actively drive) 潮流的特性外，其技術也正是一個可以達到上述目標的重



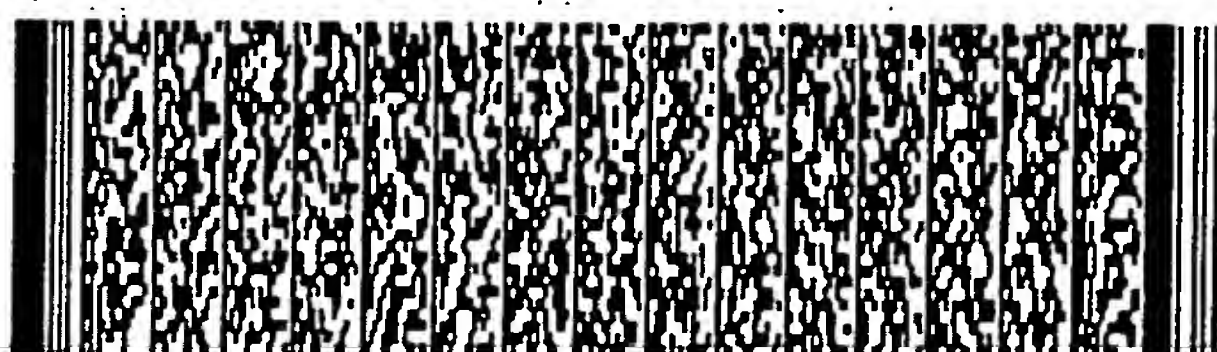
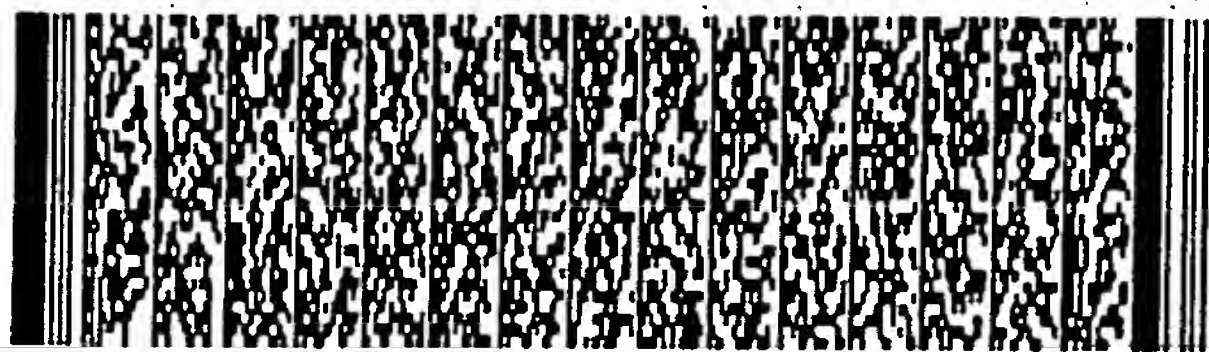
五、發明說明 (2)

要技術突破。

請參考圖一至圖四，圖一至圖四為習知製作一低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 26 的方法示意圖。習知之低溫複晶矽薄膜電晶體 26 係製作於一絕緣基板 10 之上，絕緣基板 10 必需由透光的 (transparent) 材質所構成，通常係為一玻璃基板、一石英 (quartz) 基板或是一塑膠 (plastic) 基板。

如圖一所示，首先於絕緣基板 10 之表面上形成一非晶矽薄膜 (amorphous silicon thin film, a-Si thin film, 未顯示)，接著進行一準分子雷射退火 (excimer laser annealing, ELA) 製程，使非晶矽薄膜 (未顯示) 結晶 (crystallize) 成為一複晶矽層 12，而複晶矽層 12 之表面包含有一源極區域 (source region) 13、一汲極區域 (drain region) 14 以及一通道區域 (channel region) 15。其中，複晶矽層 12 亦稱為主動層 (active layer)，用來作為當低溫複晶矽薄膜電晶體被開啟時的通道 (channel) 之用。

由於非晶矽薄膜 (未顯示) 的品質好壞對後續所形成的複晶矽層 12 特性影響很大，因此非晶矽薄膜沈積製程中的各參數 (parameter) 需要被嚴格控制，以期能形成低



五、發明說明 (3)

氫含量 (hydrogen content)、高膜厚均勻性 (thickness uniformity) 以及低表面粗糙度 (surface roughness) 之非晶矽薄膜。此外，在準分子雷射退火的過程中，非晶矽薄膜係經由對雷射深紫外光的吸收而達到快速的熔融與結晶，形成複晶矽層 12，而且這種採用短時間脈衝雷射所造成的快速吸收只會對非晶矽薄膜表面造成影響，並不會影響絕緣基板 10，故絕緣基板 10 能一直保持在低溫的狀態。

如圖二所示，然後利用一電漿增強化學氣相沈積 (plasma enhanced chemical vapor deposition, PECVD) 製程，於複晶矽層 12 表面形成一厚度約為 500~1200 埃 (angstrom, Å) 之閘極絕緣層 (gate insulation layer) 16。閘極絕緣層 16 視元件設計的需要，係為一單層結構層 (single-structure layer) 或是一複合結構層 (composite-structure layer)，且構成閘極絕緣層 16 之材質包含有以矽甲烷為基礎之氧化矽 (SiH_4 -based silicon oxide, SiH_4 -based SiO_x)、以四乙氧基矽烷為主的氧化矽 (tetra-ethyl-ortho-silicate based silicon oxide, TEOS-based SiO_x)、氮化矽 (silicon nitride, SiN_x) 以及氮氧化矽 (silicon oxynitride, SiO_xN_y)。隨後再進行一第一濺鍍製程，以於閘極絕緣層 16 之表面形成一金屬層 18，金屬層 18 係為一鎢 (W) 層、一鉻 (Cr) 層或是其他金屬導電層。

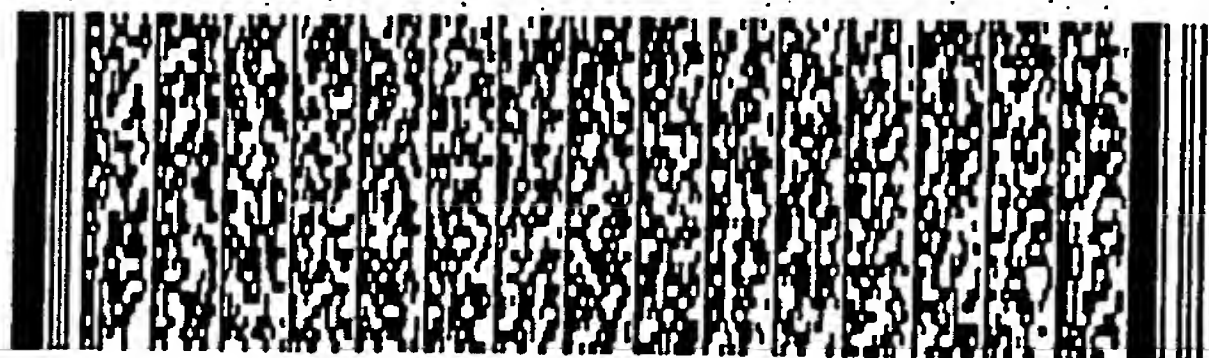


五、發明說明 (4)

接著如圖三所示，於絕緣基板 10 之表面塗佈一層光阻層 (未顯示)，並利用一微影 (photolithography) 製程以於光阻層 (未顯示) 中定義出一閘極圖案 (pattern) 22，且閘極圖案 22 係位於通道區域 15 之上方。然後對金屬層 18 進行一乾蝕刻 (dry etch) 製程，以於閘極絕緣層 16 之上形成低溫複晶矽薄膜電晶體之閘極 24。

在去除閘極圖案 22 之後，如圖四所示，隨後進行一離子佈植 (ion implantation) 製程，利用閘極 24 作為罩幕，於複晶矽層 12 之內的源極區域 13 以及汲極區域 14 中分別形成低溫複晶矽薄膜電晶體 26 之源極 (source) 28 以及汲極 (drain) 32。由於在薄膜電晶體 (TFT) 的應用中，源極 / 汲極的串聯電阻 (series resistance) 必須很低，因此於離子佈植製程之後會再進行一個活化 (activation) 製程，使源極 28 以及汲極 32 內之摻質 (dopants) 被高度活化，活化的過程除了將離子移至正確的晶格位置外，亦有將離子植入時所造成的晶格缺陷 (lattice defect) 予以修補的作用，以完成低溫複晶矽薄膜電晶體 26 的製作。

於完成低溫複晶矽薄膜電晶體 26 的製作之後，會再沈積一介電層 34。介電層 34 可為一單層的介電層，或是一複合介電層。最後利用一黃光暨蝕刻製程 (photo-



五、發明說明 (5)

etching-process, PEP)於源極區域 13以及汲極區域 14之上方之介電層 34以及閘極絕緣層 16之內分別形成一直達源極 28以及汲極 32之接觸孔洞 (contact hole) 36, 便於爾後將接觸孔洞 36之內填滿導電材料, 以依照電路設計來將源極 28以及汲極 32分別電連接至電容之極板以及影像訊號線。

然而習知製作低溫複晶矽薄膜電晶體 26的方法, 卻面臨一個相當嚴重的問題, 即其通道區域之主動複晶矽薄膜的品質難以控制。由於在製作非晶矽薄膜以及非晶矽薄膜結晶成為一複晶矽薄膜的過程中, 有許多的變數 (variables) 均對結晶完成後的晶粒大小 (grain size) 以及分佈 (distribution) 有直接的影響, 如非晶矽薄膜的成膜品質、雷射能量密度的大小、雷射能量空間上分佈的均勻性、雷射脈衝 (pulse) 的重疊 (overlap) 程度、進行雷射退火時基板的溫度以及周圍的氣氛 (atmosphere) 等, 當製程的控制不夠理想時, 結晶後主動通道區域內會產生許多較小的複晶矽薄膜晶粒, 進而衍生出數量龐大的晶粒邊界 (grain boundary)。

請參考圖五, 圖五為圖三之低溫複晶矽薄膜電晶體 26中通道區域 15內產生小複晶矽薄膜晶粒 38的示意圖。如圖五所示, 不理想的雷射退火製程於通道區域 15內產生了許多小複晶矽薄膜晶粒 38以及許多晶粒邊界 42。當

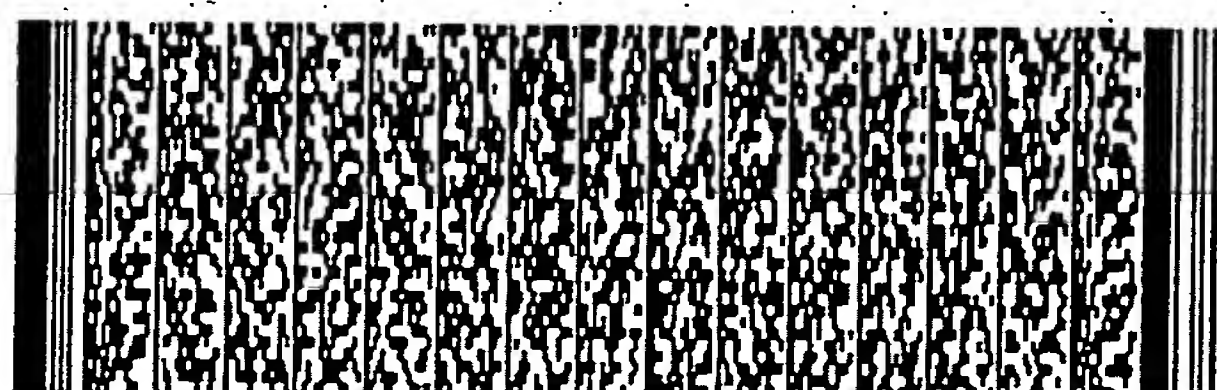
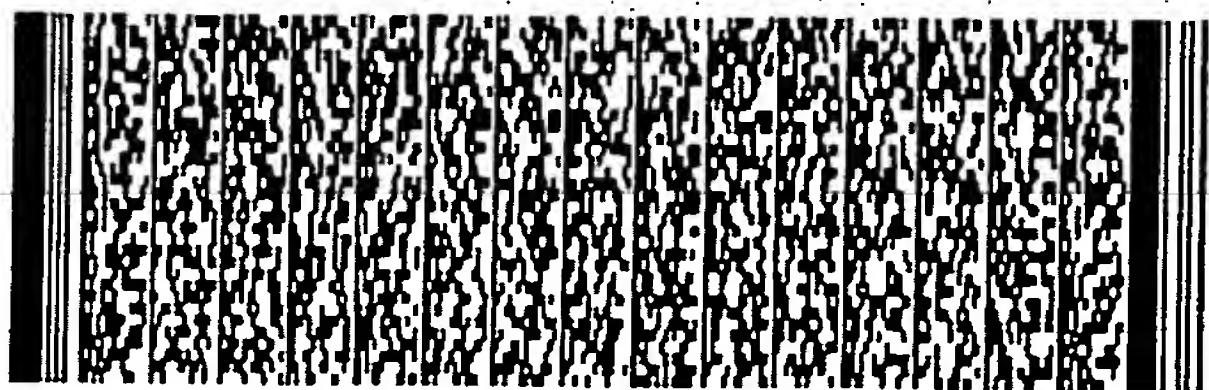


五、發明說明 (6)

低溫複晶矽薄膜電晶體 26 導通時，這些為數可觀的晶粒邊界 42 會捕捉 (trap) 流過通道區域 15 的電子，使導通電流下降；而當低溫複晶矽薄膜電晶體 26 關閉時，又會釋放出電子，導致漏電流 (leakage current) 的上升。即使藉由不斷的實驗以及微調 (fine tune)，可以找到合乎要求的製程條件，使單一低溫複晶矽薄膜電晶體 26 的結晶狀況達到預期標準，但是在一個面板 (panel) 上動輒數十萬甚至於數百萬畫素 (pixel) 的情況下，一般的雷射結晶完全無法控制複晶矽薄膜晶粒 38 的成長位置 (site) 以及成長方向 (orientation)。

也就是說，多晶矽薄膜內的晶粒成長是隨機分佈的 (random distributed)，因而造成所製作出的低溫複晶矽薄膜電晶體在電氣特性 (electrical character) 上的變異 (inconsistence)，尤其是在低溫複晶矽薄膜電晶體元件的尺寸 (size) 不斷縮小 (shrink) 時，這種現象更是容易被凸顯出來，因此，雷射結晶製程的製程範疇 (process window) 通常很小。此外，雷射結晶製程係為一種低溫固相結晶 (low temperature solid crystallization) 製程，固相結晶所花費的時間太長，故晶粒只能成長到一定的大小，無法有效控制晶粒邊界數目，明顯存在製程上的極限 (limitation)。

因此，如何能發展出一種新型的結構設計，於應用



五、發明說明 (9)

使雷射結晶時的二維熱散逸 (two-dimensional heat dissipation) 得以被控制，於通道區域之內結晶 (crystallize) 成為很大的單晶矽晶粒。不僅可以有效減低並控制通道區域內的晶粒邊界數目，提昇載子移動率並降低漏電流，以大幅提昇低溫複晶矽薄膜電晶體結構的電氣特性、均勻性以及可靠度。應用於大面板以及小元件尺寸產品的實際生產時，又可以明顯拉大 (enlarge) 雷射結晶製程的製程範疇 (process window)，並克服低溫固相結晶製程原本所存在的製程極限 (limitation)。

實施方式

請參考圖六 A 至圖十，圖六 A 至圖十為本發明第一實施例中製作一低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 148 的方法示意圖。如圖六 A 所示，本發明之低溫複晶矽薄膜電晶體係製作於一絕緣基板 100 之上，絕緣基板 100 必需由透光的 (transparent) 材質所構成，通常係為一玻璃基板、一石英 (quartz) 基板或是一塑膠 (plastic) 基板。首先於絕緣基板 100 之表面上形成一非晶矽薄膜 (amorphous silicon thin film, a-Si thin film) 102，接著進行一第一黃光暨蝕刻製程 (photo-etching-process-1, PEP-1)，利用一所謂的選擇性光罩 (selective mask) 104 以及一第一光阻層 106，於絕緣基板 100 之表面上形成至少一



五、發明說明 (10)

如圖六 B所示之非晶矽圖案 (amorphous silicon pattern, a-Si pattern) 108。

於去除殘餘之第一光阻層 106 之後，請參考圖六 B，圖六 B 為圖六 A 中之非晶矽薄膜 102 被蝕刻完成以後的立體圖。如圖六 B 所示，非晶矽圖案 108 包含有一第一側面 (first side) 112 以及一第二側面 (second side) 114，且第一側面 112 與第二側面 114 互為平行相對 (parallel and opposite)。非晶矽圖案 108 中包含有一第一區域 116、一第二區域 118 以及一尖端 (pointed end) 區域 122，第一區域 116 係由第一側面 112 向第二側面 114 的方向延伸 (extend)，第二區域 118 係由第二側面 114 向第一側面 112 的方向延伸，且第一區域 116 以及第二區域 118 分別具有一第一高度 (first height, H1)、一第一寬度 (first width, W1) 以及一第一長度 (first length, L1)，尖端區域 122 係緊鄰第二區域 118 並朝向第一側面 112 的方向延伸，尖端區域 122 具有一第二高度 (second height, H2)、一第二最大寬度 (maximum second width, W2) 以及一第二最大長度 (maximum second length, L2)，且第二高度小於第一高度。

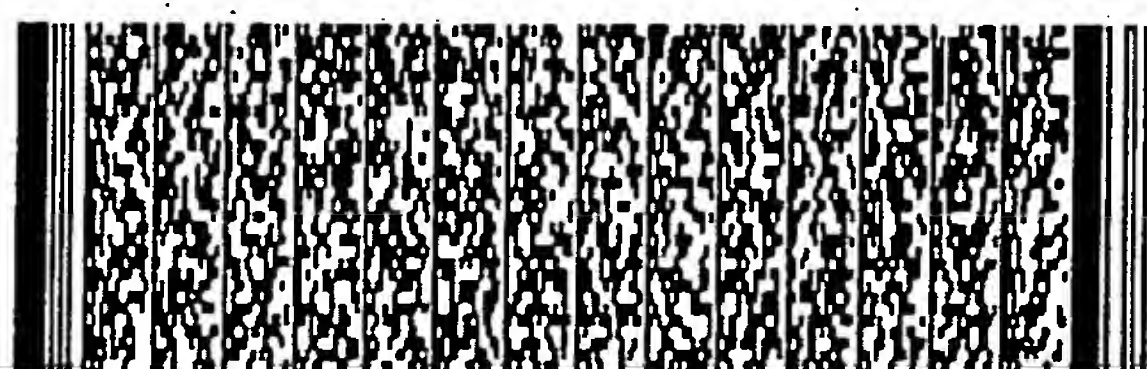
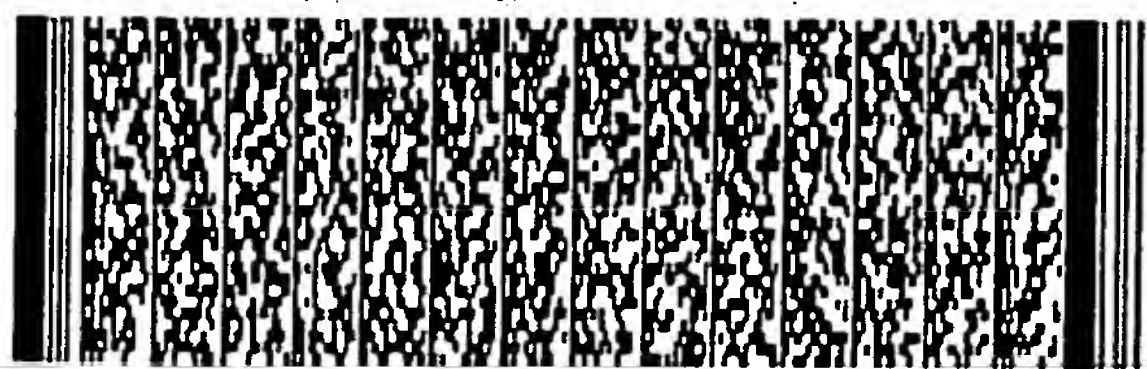
非晶矽圖案 108 中另包含有一第三區域 124 以及一第四區域 126，第三區域 124 係位於第一區域 116 以及第二區域 118 之間，而尖端區域 122 係位於第三區域 124 之上，第



五、發明說明 (11)

三區域 124 具有一第三高度 (third height, H3)、一第三寬度 (third width, W3) 以及一第三長度 (third length, L3)，且第三高度小於第一高度，事實上，第一高度係等於第二高度以及第三高度之總和 (sum)，第三寬度係等於第一寬度。第四區域 126 係位於第一區域 116 以及尖端區域 122 之間之該第三區域 124 之上，第四區域 126 具有一第四高度 (fourth height, H4)、一第四寬度 (fourth width, W4) 以及一第四長度 (fourth length, L4)，同時第四高度小於第二高度，第四高度大於第三高度，且第四寬度小於第三寬度。其中，非晶矽圖案 108 係用來作為低溫複晶矽薄膜電晶體之主動區域 (active region)，第一區域 116 以及第二區域 118 係為低溫複晶矽薄膜電晶體之源極 / 汲極區域 (source/drain region)，第四區域 126 係為薄膜電晶體之通道區域 (channel region)。

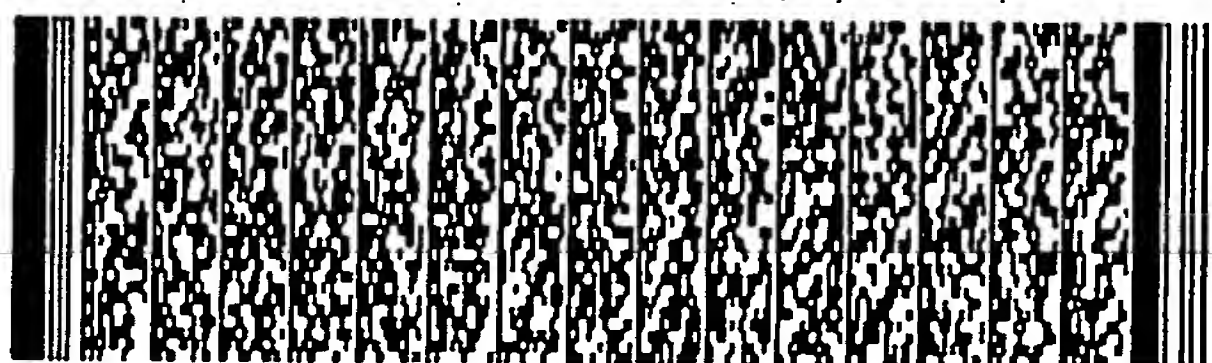
若對照圖六 A 以及圖六 B 來看，由於選擇性光罩 104 與一般光罩不同之處，在於其不同區域內之光罩材料具有不同的透光率 (transmittance)，在圖六 A 中，選擇性光罩 104 係以約略的方式被表示，事實上，位於第一區域 116、第二區域 118 以及尖端區域 122 上方之光罩材料具有最低的透光率，位於未被尖端區域 122 以及第四區域 126 所覆蓋之第三區域 124 上方之光罩材料具有次高的透光率，位於第四區域 126 上方之光罩材料的透光率則介於 (in-between) 前面兩者之間，而相對於非晶矽圖案 (a-Si



五、發明說明 (12)

pattern)108之外之光罩材料則具有最高的透光率。如此一來，第一光阻層106被曝光、顯影之後，其表面應具有不同的階梯(step)高度(於圖六A中未顯示)，故於蝕刻後，便會形成包含有第一區域116、第二區域118、尖端區域122、第三區域124以及第四區域126之非晶矽圖案108，且第一區域116、第二區域118、尖端區域122、第三區域124以及第四區域126分別具有不同的長度、寬度、高度。此外，非晶矽圖案108亦可以利用一般光罩、硬罩幕(hard mask)以及重複的(repetitive)黃光、蝕刻製程而被分段製作完成。

如圖七所示，接著對非晶矽圖案108進行一雷射結晶(laser crystallization, LC)製程，雷射結晶製程所用的雷射係為一準分子雷射(excimer laser, EL)、一氣體脈衝雷射(gas pulse laser)、一固態脈衝雷射(solid pulse laser)或是一連續波雷射(continuous wave laser)。利用雷射照射非晶矽圖案108時，由於第一區域116、第二區域118、尖端區域122、第三區域124以及第四區域126各自具有不同的厚度(thickness)以及位置(site)，第四區域126內之非晶矽薄膜會達到完全熔融(completely-melted)狀態，而尖端區域122內之非晶矽薄膜會達到部分熔融(partial-melting)狀態，此時與第四區域126相鄰接之尖端區域122內之殘餘(residual)固態矽，即一非晶矽晶種(seed)，便成為核基點

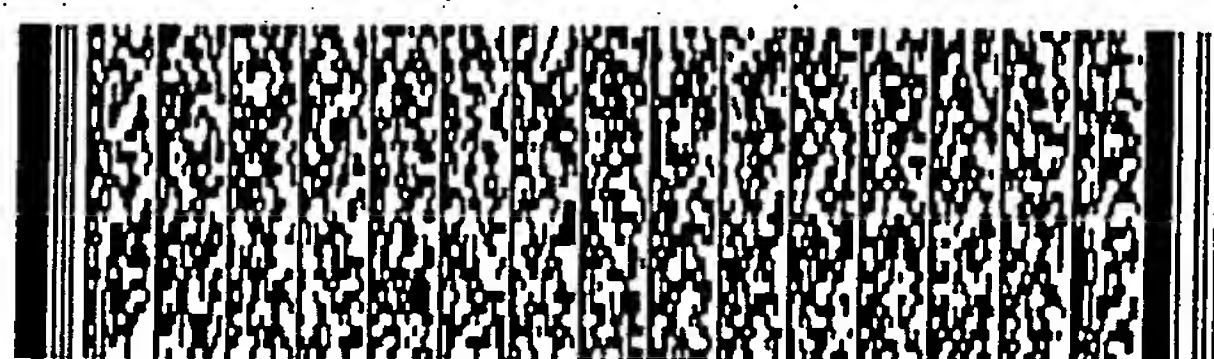
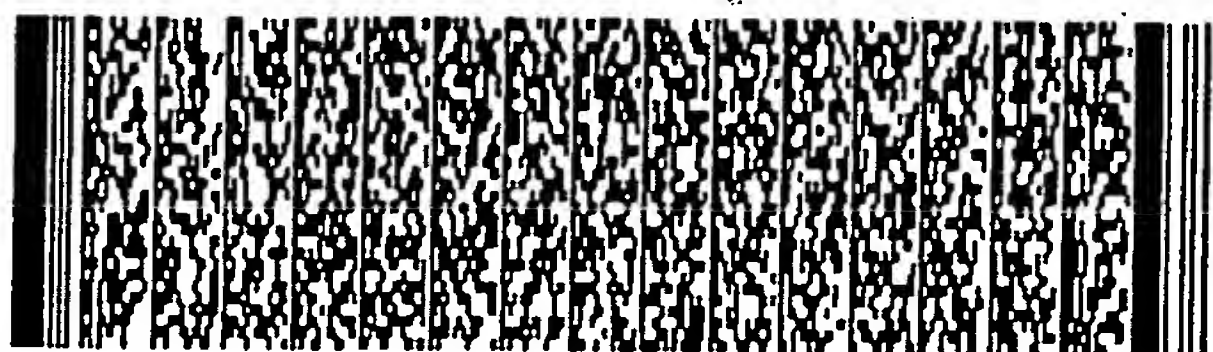


五、發明說明 (13)

(nucleation site)向完全熔融區域做超級側向成長 (super lateral grow, SLG, 如箭頭所示)。

同時，由於第三高度係小於第四高度，於利用雷射照射非晶矽圖案 108 之後，未被第四區域 126 以及尖端區域 122 所覆蓋之第三區域 124 之溫度較第四區域 126 之溫度為高，因此核基點係由第四區域 126 向未被第四區域 126 以及尖端區域 122 所覆蓋之第三區域 124 成長 (如箭頭所示)，最後於第四區域 126 之內結晶 (crystallize) 成為一單晶矽晶粒 (single crystal silicon grain) 128 (顯示於圖九 B 中)。此種藉由雷射退火 (anneal) 技術，使結晶時晶粒變得很大，並局部控制晶粒方向，以有效控制局部晶粒邊界顯微結構 (microstructure) 的方法，係為人工控制超級側向成長 (artificially controlled super lateral growth, ACSLG) 方法之一種。由於尖端區域 122 的設置，使長晶時單晶矽晶粒 128 (顯示於圖九 B 中) 的位置由旁邊被推至中央，以便於爾後製作一橫跨於其上的閘極。

而在另一方面，利用雷射照射非晶矽圖案 108，會使未被第四區域 126 以及尖端區域 122 所覆蓋之第三區域 124 內之非晶矽薄膜達到完全熔融狀態，並使第一區域 116 以及第二區域 118 內之非晶矽薄膜達到部分熔融狀態，此時第一區域 116 以及第二區域 118 內之複數個非晶矽晶種會

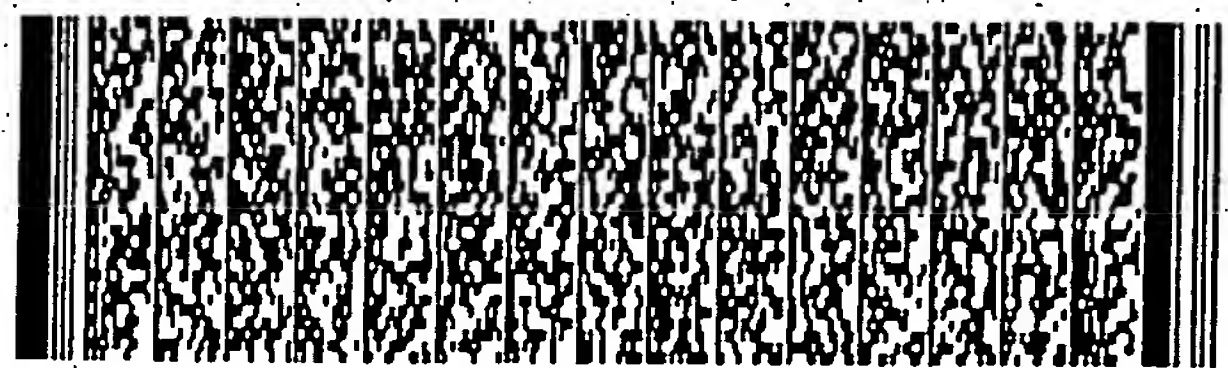
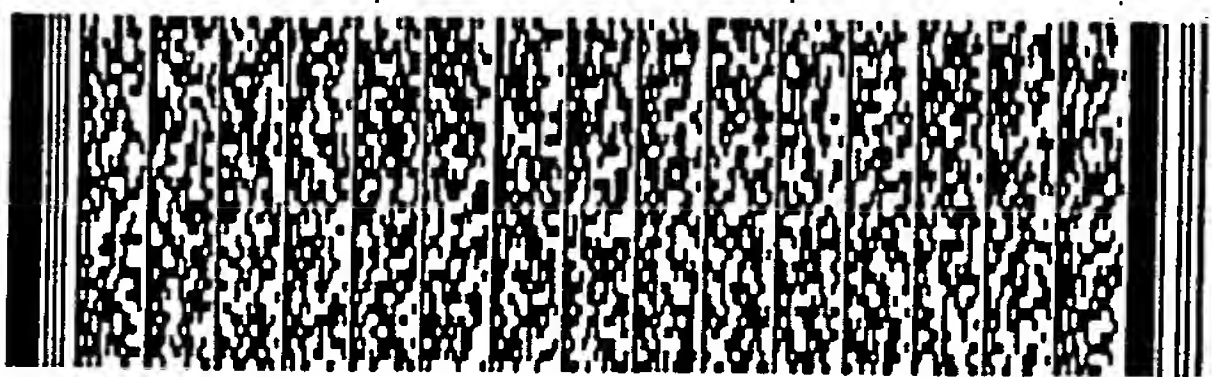


五、發明說明 (14)

分別向完全熔融區域成長，於未被第四區域 126 以及尖端區域 122 所覆蓋之第三區域 124 之內結晶成為複晶矽晶粒 (polycrystal silicon grain, 於圖中未顯示)。另外，於進行該雷射結晶製程之後，被第四區域 126 以及尖端區域 122 所覆蓋之第三區域 124 內之非晶矽薄膜係達到部分熔融狀態，因為此區域經雷射結晶製程後的顯微結構，並不是本發明方法的重點，故不在此贅述。最後如圖八所示，非晶矽圖案 108 中之非晶矽薄膜結晶完成後成為一圖案化複晶矽層 134。

如前所述，由於非晶矽薄膜 102 的品質好壞對後續所形成的圖案化複晶矽層 134 特性影響很大，因此非晶矽薄膜 102 沈積製程中的各參數 (parameter) 需要被嚴格控制，以期能形成低氫含量 (hydrogen content)、高膜厚均勻性 (thickness uniformity) 以及低表面粗糙度 (surface roughness) 之非晶矽薄膜 102。此外，在雷射結晶的過程中，非晶矽薄膜 102 係經由對雷射深紫外光的吸收而達到快速的熔融與結晶，而形成圖案化複晶矽層 134，這種採用短時間脈衝雷射所造成的快速吸收只會對非晶矽薄膜 102 表面造成影響，並不會影響絕緣基板 100，故絕緣基板 100 能一直保持在低溫的狀態。

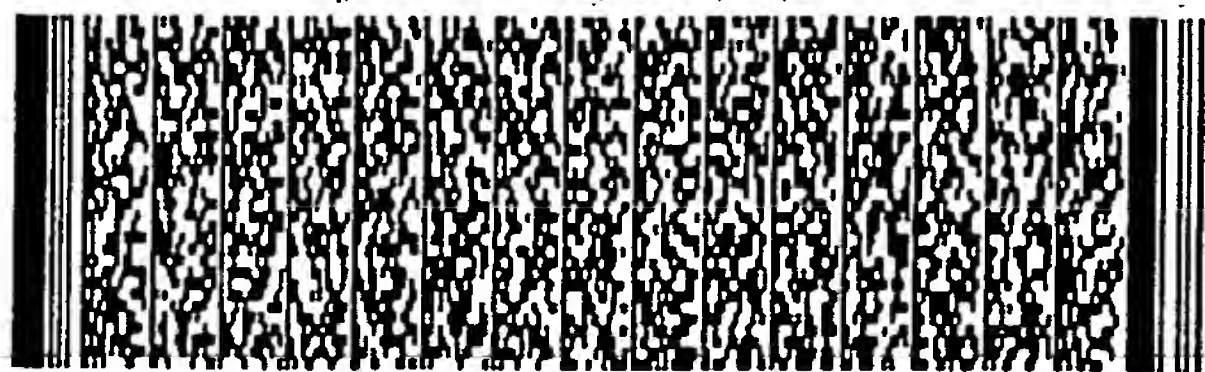
如圖八所示，接著去除位於第三區域 124 之圖案化複晶矽層 134 (其底部可能仍包含有未結晶之非晶矽結構)，



五、發明說明 (15)

而去除的方法可利用直接對圖案化複晶矽層 134 作非等向性 (anisotropic) 蝕刻，直到位於第三區域 124 之圖案化複晶矽層 134 被蝕刻完即停止，或是利用一光罩來定義出第三區域 124，再進行一蝕刻製程以去除位於第三區域 124 之圖案化複晶矽層 134。然後進行至少一電漿增強化學氣相沈積 (plasma enhanced chemical vapor deposition, PECVD) 製程，於絕緣基板 100 之表面形成至少一層介電層 (dielectric layer) 136，且構成各層介電層 136 之材料 (material composition) 包含有以矽甲烷為基礎之氧化矽 (SiH_4 -based silicon oxide, SiH_4 -based SiO_x)、以四乙氧基矽烷為主的氧化矽 (tetra-ethyl-ortho-silicate based silicon oxide, TEOS-based SiO_x)、氮化矽 (silicon nitride, SiN_x) 以及氮氧化矽 (silicon oxynitride, SiO_xN_y) 等。隨後進行一濺鍍 (sputtering) 製程，於介電層 136 以及圖案化複晶矽層 134 之上形成一金屬層 138，金屬層 138 係為一鎢 (W) 層、一鉻 (Cr) 層或是其他導電金屬層。

請參考圖九 A 與圖九 B，圖九 A 係為圖九 B 之上視圖。如圖九 A 與圖九 B 所示，接著於絕緣基板 100 之表面塗佈一層光阻層 (未顯示)，並利用一微影 (photolithography) 製程以於光阻層 (未顯示) 中定義出閘極圖案 (未顯示)，且閘極圖案 (未顯示) 係橫跨於通道區域 (也就是第四區域 126) 中之單晶矽晶粒 128 之上方。然後對金屬層 138 進行

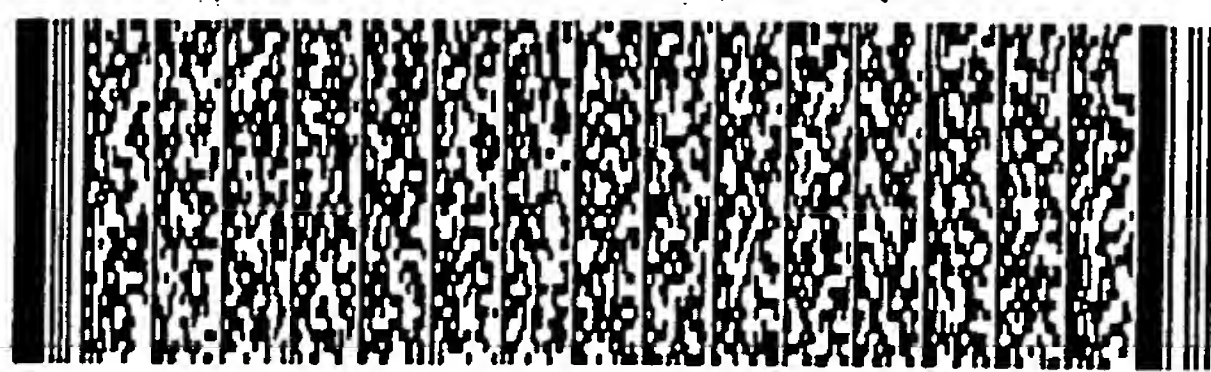
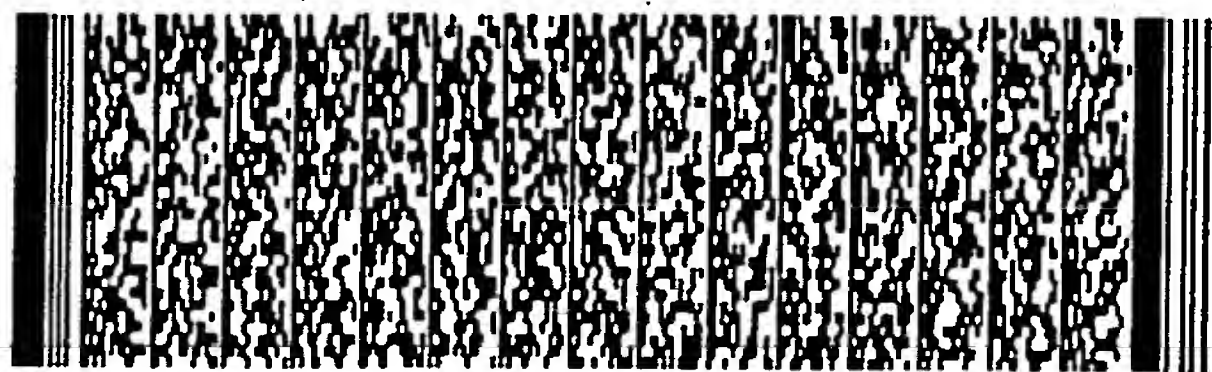


五、發明說明 (16)

一乾蝕刻 (dry etch)製程，以於介電層 136之上形成閘極 144。值得一提的是，各層介電層 136亦可以於此時利用閘極 144作為硬罩幕 (hard mask)而被完全蝕刻掉，或是被部份蝕刻，但無論如何，位於閘極 144以及圖案化複晶矽層 134之間的介電層 136，係用來作為閘極絕緣層。

如圖十所示，於去除閘極圖案 (未顯示)之後，接著進行一離子佈植 (ion implantation)製程，利用閘極 144作為罩幕，於圖案化複晶矽層 134內之源極 /汲極區域 (即第一區域 116以及第二區域 118)內分別形成低溫複晶矽薄膜電晶體 148之源極 /汲極 (source/drain) 146。由於在薄膜電晶體 (TFT)的應用中，源極 /汲極的串聯電阻 (series resistance)必須很低，因此於離子佈植製程之後會再進行一個活化 (activation)製程，使源極 /汲極 146內之摻質 (dopants)被高度活化，活化的過程除了將離子移至正確的晶格位置外，亦有將離子植入時所造成的晶格缺陷 (lattice defect)予以修補的作用，以完成低溫複晶矽薄膜電晶體 148的製作。

於完成低溫複晶矽薄膜電晶體 148的製作之後，會再沈積一介電層 152，介電層 152可為一單層的介電層，或是一複合介電層。最後利用一第二黃光暨蝕刻製程 (photo-etching-process-2, PEP-2)於源極 /汲極 146上方之介電層 152 (以及其他的介電層，未顯示)之內分別形

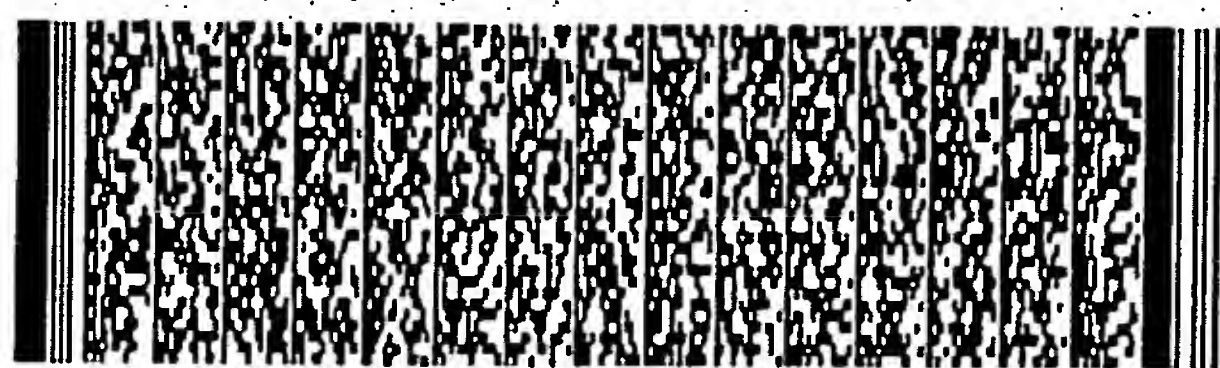
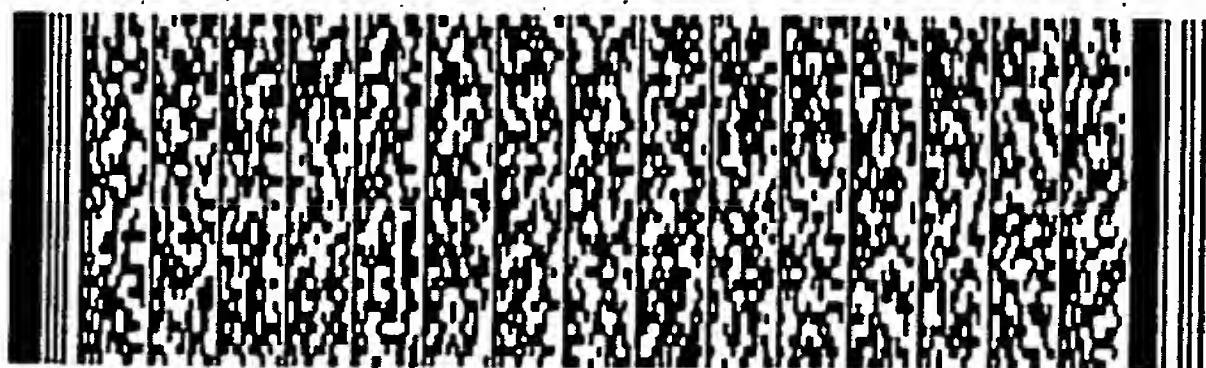


五、發明說明 (17)

成一直達源極 / 汲極 146 之接觸孔洞 (contact hole) 154，便於爾後將接觸孔洞 154 之內填滿導電材料以依照電路設計將源極 / 汲極 146 電連接至電容之極板以及影像訊號線。

請參考圖十一，圖十一為本發明第二實施例中製作一低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT) 248 的立體圖。如圖十一所示，本發明之第二實施例與第一實施例的不同之處在於，本發明第二實施例中之第三區域 224 之上包含有複數個第四區域 226 (在圖十一中係以三個為例)，且每一個第四區域 226 係與一尖端區域 222 相鄰接。當進行雷射結晶製程利用雷射照射非晶矽圖案 208 時，由於第一區域 216、第二區域 218、尖端區域 222、第三區域 224 以及第四區域 226 各自具有不同的厚度以及位置，第四區域 226 內之非晶矽薄膜會達到完全熔融 (completely-melted) 狀態，而尖端區域 222 內之非晶矽薄膜會達到部分熔融 (partial-melting) 狀態。

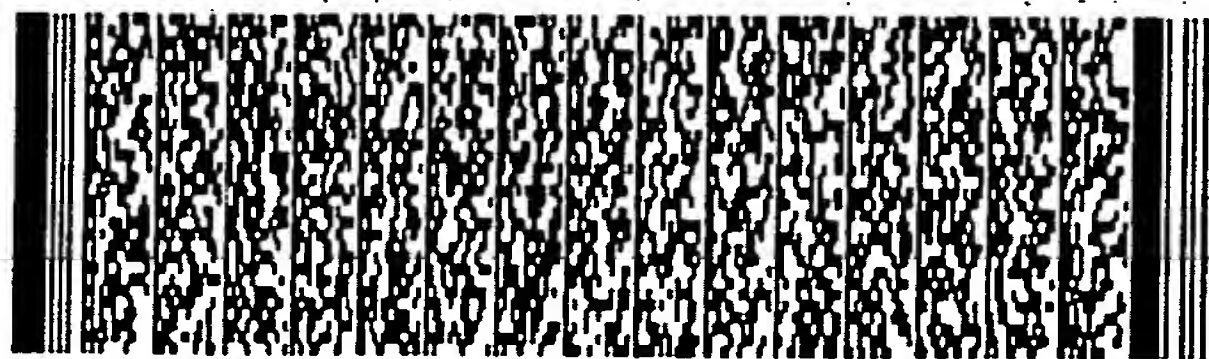
此時與第四區域 226 相鄰接之尖端區域 222 內之殘餘 (residual) 固態矽，即一非晶矽晶種 (seed)，便成為核基點 (nucleation site) 向完全熔融區域做超級側向成長 (super lateral grow, SLG，如箭頭所示)。同時，由於第三高度係小於第四高度，於利用雷射照射非晶矽圖案



五、發明說明 (18)

208之後，未被第四區域 226 以及尖端區域 222 所覆蓋之第三區域 224 之溫度較第四區域 226 之溫度為高，因此核基點係由第四區域 226 向未被第四區域 226 以及尖端區域 222 所覆蓋之第三區域 224 成長（如箭頭所示），最後於用來作為通道區域之第四區域 226 之內結晶（crystallize）成為一單晶矽晶粒（single crystal silicon grain，未顯示）。第四區域 226 之上另包含有閘極絕緣層（未顯示）以及閘極（未顯示），第一區域 216 以及第二區域 218 之內被分別植入摻質以作為低溫複晶矽薄膜電晶體 248 之源極 / 汲極，閘極（未顯示）可以為一與第四區域 226 呈直交（orthogonal）的長條結構，或是其他形狀的結構。本發明第二實施例中的實施方式，係使總共的通道寬度（total channel width）成為第一實施例中通道寬度的三倍。

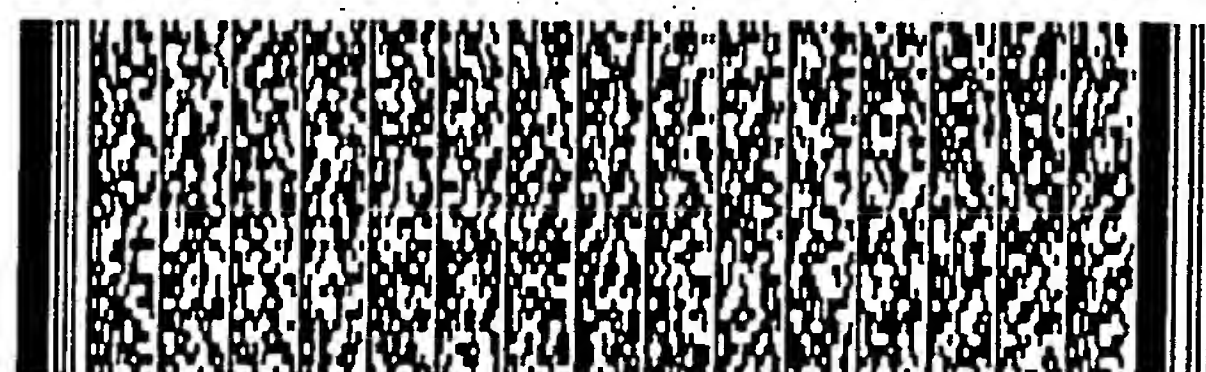
請參考圖十二，圖十二為本發明第三實施例中製作一低溫複晶矽薄膜電晶體（low temperature polysilicon thin film transistor, LTPS TFT）348 的立體圖。如圖十二所示，本發明之第三實施例與第一實施例的不同之處在於，本發明第三實施例中之第三區域 324 之上包含有兩個互相對稱（symmetric）的尖端區域 322，因此第四區域 326 係分別與位於其兩邊之尖端區域 322 相鄰接。當進行雷射結晶製程利用雷射照射非晶矽圖案 308 時，由於第一區域 316、第二區域 318、尖端區域



五、發明說明 (19)

322、第三區域 324 以及第四區域 326 各自具有不同的厚度以及位置，第四區域 326 內之非晶矽薄膜會達到完全熔融 (completely-melted) 狀態，而尖端區域 322 內之非晶矽薄膜會達到部分熔融 (partial-melting) 狀態。

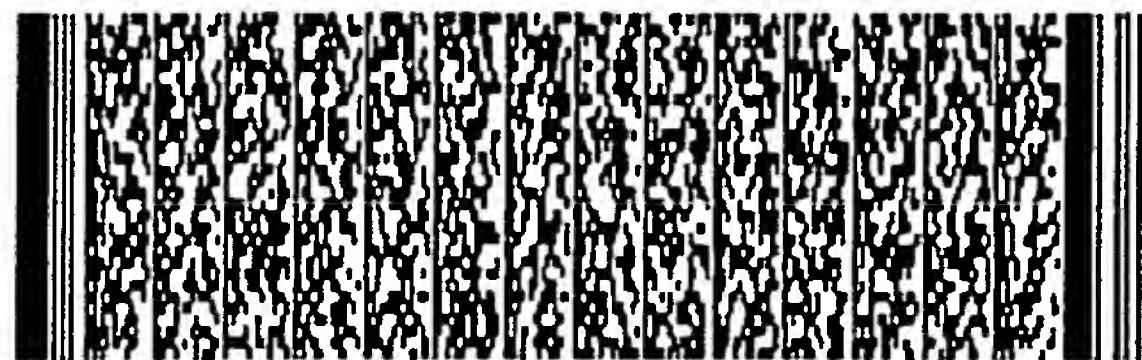
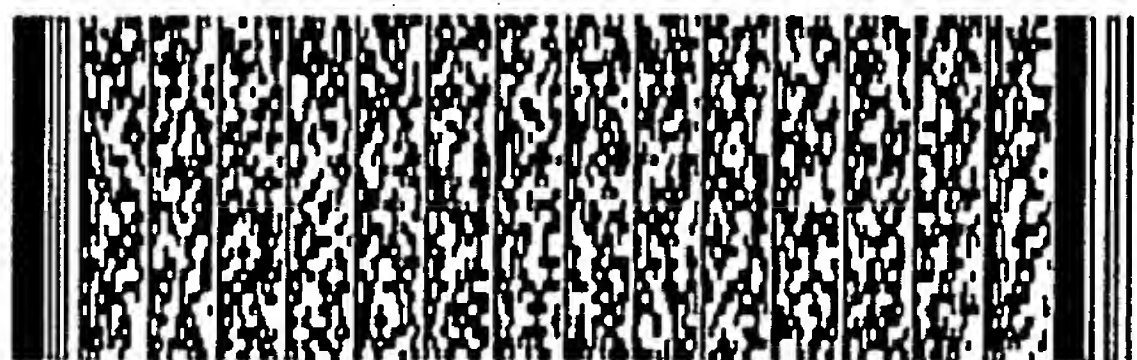
此時與第四區域 326 相鄰接之兩尖端區域 322 內之殘餘 (residual) 固態矽，即兩個單一 (two single) 之非晶矽晶種 (seed)，便分別成為核基點 (nucleation site) 向完全熔融區域做超級側向成長 (super lateral grow, SLG, 如箭頭所示)。同時，由於第三高度係小於第四高度，於利用雷射照射非晶矽圖案 308 之後，未被第四區域 326 以及尖端區域 322 所覆蓋之第三區域 324 之溫度較第四區域 326 之溫度為高，因此核基點係由第四區域 326 向未被第四區域 326 以及尖端區域 322 所覆蓋之第三區域 324 成長 (如箭頭所示)，最後於用來作為通道區域之第四區域 326 之內結晶 (crystallize) 成為兩個單晶矽晶粒 (single crystal silicon grain, 未顯示)。第四區域 326 之上另包含有閘極絕緣層 (未顯示) 以及閘極 (未顯示)，第一區域 316 以及第二區域 318 之內被分別植入摻質以作為低溫複晶矽薄膜電晶體 348 之源極 / 汲極，閘極 (未顯示) 可以為一與第四區域 326 呈直交 (orthogonal) 並位於兩個單晶矽晶粒 (未顯示) 上方的叉狀結構，或是其他形狀的結構。本發明第三實施例中的實施方式，係應用於特定製程或是特定產品。



由於本發明之具有區域，再差異晶，於區域內方而大性，實際生產時，不僅可以明顯拉大（enlarge）雷射結晶製程的製程範疇（process window），又可以克服低溫固相結晶製程原本所存在的製程極限（limitation）。

係先案中及區域三域可道至達減率並降結構及小元件尺寸產品之區域。控制漏電特性、均勻性、實際生產時，不僅可以明顯拉大（enlarge）雷射結晶製程的製程範疇（process window），又可以克服低溫固相結晶製程原本所存在的製程極限（limitation）。

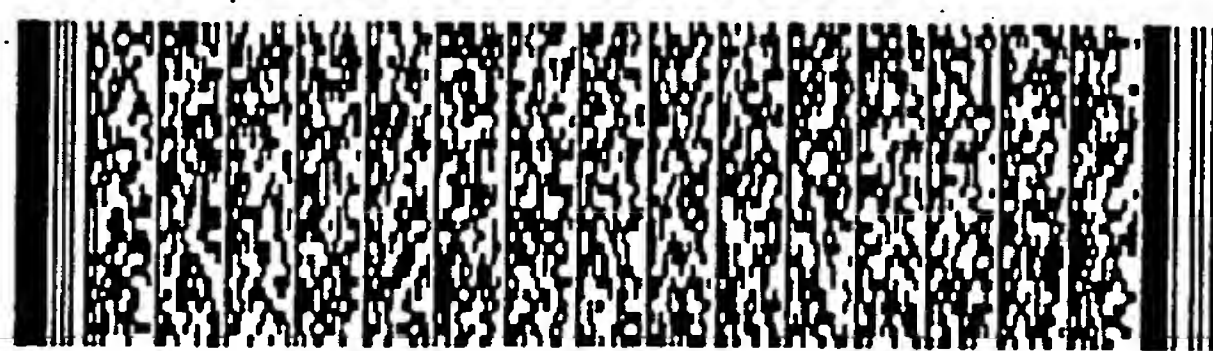
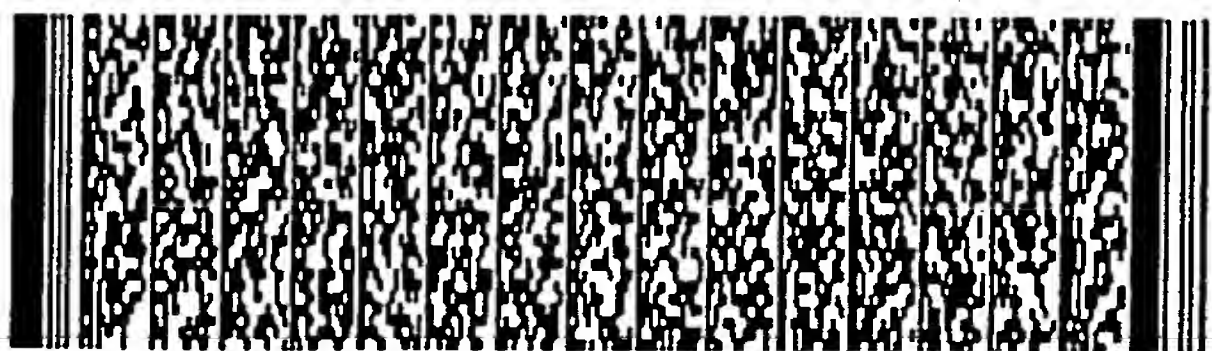
相較於習知製作低溫複晶砂薄膜電晶體的方案，且非通晶厚，本發明係先案中及區域三域可道至達減率並降結構及小元件尺寸產品之區域。控制漏電特性、均勻性、實際生產時，不僅可以明顯拉大（enlarge）雷射結晶製程的製程範疇（process window），又可以克服低溫固相結晶製程原本所存在的製程極限（limitation）。



五、發明說明 (21)

度明顯較通道區域為厚，且通道區域的厚度明顯較第三區域為厚，在同樣的雷射照射之下，通道區域內之非晶矽薄膜係達到完全熔融 (completely-melted) 狀態，而尖端區域內之非晶矽薄膜係達到部分熔融 (partial-melting) 狀態，因此與通道區域相鄰接之尖端區域內之一殘餘 (residual) 非晶矽晶種 (seed)，便成為核基點向完全熔融區域做超級側向成長 (super lateral grow, SLG)，並使雷射結晶時的二維熱散逸 (two-dimensional heat dissipation) 得以被控制，於通道區域之內結晶 (crystallize) 成為很大的單晶矽晶粒。如此一來，將可以有效地減低並控制通道區域內的晶粒邊界數目，以提昇載子移動率並降低漏電流。即使是在大面板或是小元件尺寸的情況下，此種製程方式不僅可行 (feasible)，也可以明顯拉大 (enlarge) 雷射結晶製程的製程範疇 (process window)，並克服低溫固相結晶製程原本所存在的製程極限 (limitation)。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一至圖四為習知製作低溫複晶矽薄膜電晶體的方法示意圖。

圖五為圖三之低溫複晶矽薄膜電晶體中通道區域內產生小複晶矽薄膜晶粒的示意圖。

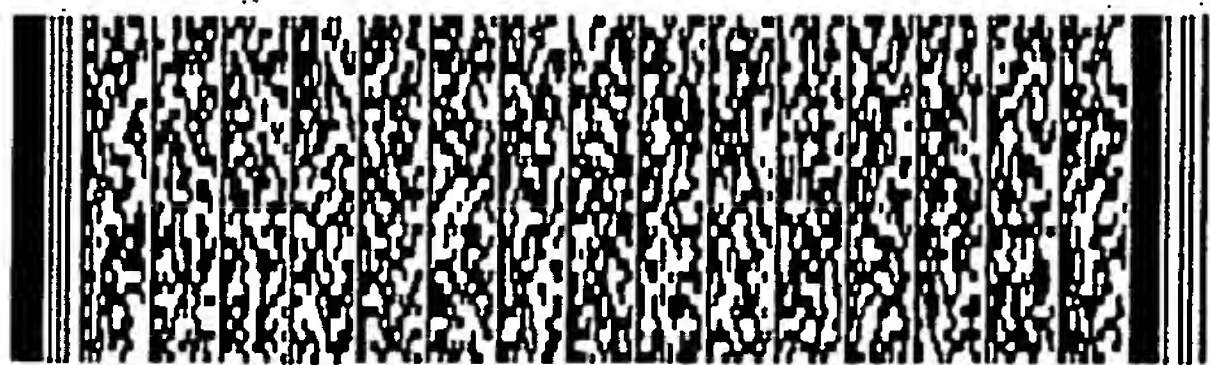
圖六A至圖十為本發明第一實施例中製作一低溫複晶矽薄膜電晶體的方法示意圖。

圖十一為本發明第二實施例中製作一低溫複晶矽薄膜電晶體的立體圖。

圖十二為本發明第三實施例中製作一低溫複晶矽薄膜電晶體的立體圖。

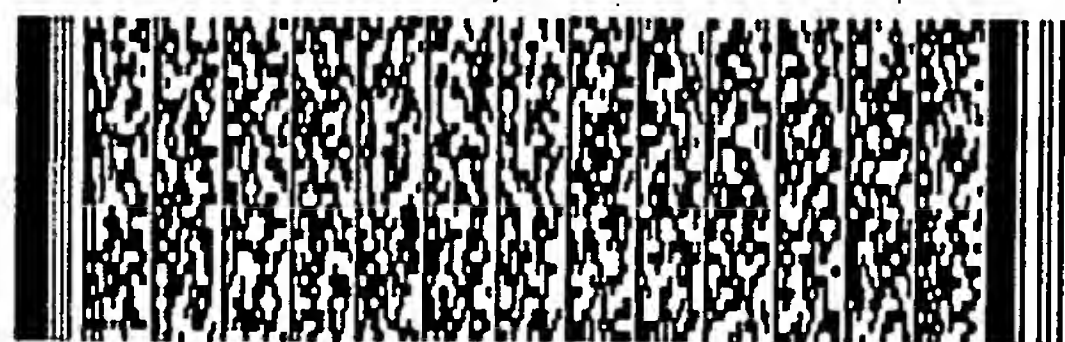
圖式之符號說明

10	絕緣基板	12	複晶矽層
13	源極區域	14	汲極區域
15	通道區域	16	閘極絕緣層
18	金屬層	22	閘極圖案
24	閘極	26	低溫複晶矽薄膜電晶體
28	源極	32	汲極
34	介電層	36	接觸孔洞
38	複晶矽薄膜晶粒		
42	晶粒邊界	100	絕緣基板



圖式簡單說明

- | | |
|------------------------|-------------------|
| 102 非晶矽薄膜 | 104 選擇性光罩 |
| 106 第一光阻層 | 108、208、308 非晶矽圖案 |
| 112 第一側面 | 114 第二側面 |
| 116、216、316 第一區域 | |
| 118、218、318 第二區域 | |
| 122、222、322 尖端區域 | |
| 124、224、324 第三區域 | |
| 126、226、326 第四區域 | |
| 128 單晶矽晶粒 | 134 圖案化複晶矽層 |
| 136 介電層 | 138 金屬層 |
| 144 閘極 | 146 源極/汲極 |
| 148、248、348 低溫複晶矽薄膜電晶體 | |
| 152 介電層 | 154 接觸孔洞 |



六、申請專利範圍

1. 一種利用一雷射結晶 (laser crystallization, LC) 製程來製作一矽薄膜的方法，該方法包含有下列步驟：

提供一基底 (substrate)，該基底之上包含有一非晶矽 (amorphous silicon, a-Si) 圖案 (pattern)，且該非晶矽圖案包含有兩相對 (oppositely) 之一第一側面 (first side) 以及一第二側面 (second side)，該非晶矽圖案包含有：

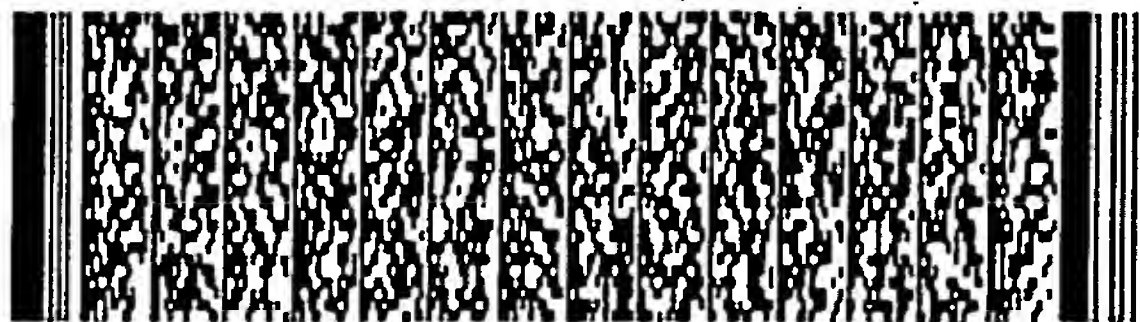
一第一區域，該第一區域係由該第一側面向該第二側面的方向延伸 (extend)，且該第一區域具有一第一高度 (height)、一第一寬度 (width) 以及一第一長度 (length)；

一第二區域，該第二區域係由該第二側面向該第一側面的方向延伸，且該第二區域具有一第一高度、一第一寬度以及一第一長度；

至少一第一尖端 (pointed end) 區域，各該第一尖端區域係緊鄰該第二區域並朝向該第一側面的方向延伸，各該第一尖端區域具有一第二高度、一第二最大寬度 (maximum width) 以及一第二最大長度 (maximum length)，且該第二高度小於該第一高度；

一第三區域，該第三區域係位於該第一區域以及該第二區域之間，各該第一尖端區域係位於該第三區域之上，且該第三區域具有一第三高度、一第三寬度以及一第三長度，該第三高度小於該第一高度；以及

至少一第四區域，各該第四區域係位於該第一區域



六、申請專利範圍

以及各該第一尖端區域之間之該第三區域之上，各該第四區域具有一第四高度、一第四寬度以及一第四長度，且該第四高度小於該第二高度，該第四寬度小於該第三寬度；以及

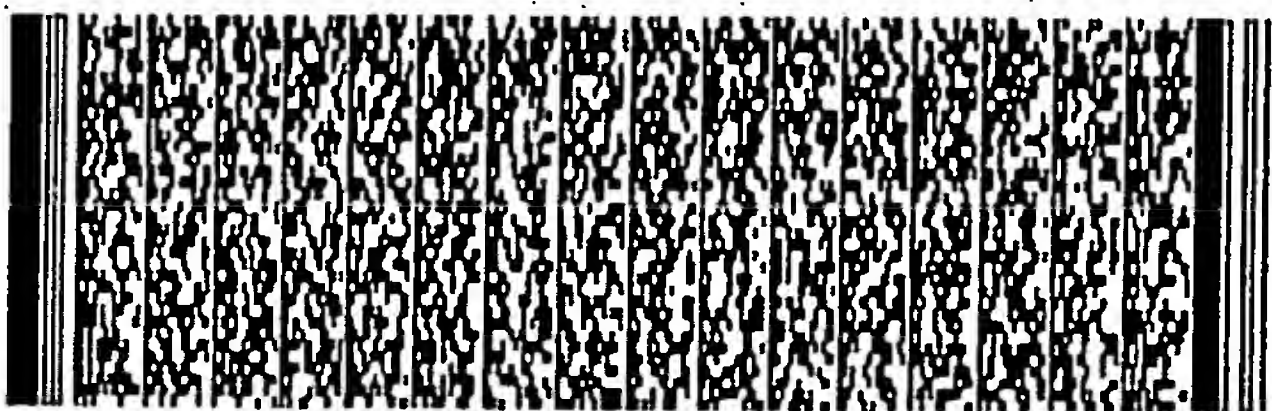
進行該雷射結晶製程，以使與各該第四區域相鄰接之各該第一尖端區域內之一非晶矽晶種 (seed) 成長 (grow)，於各該第四區域之內結晶 (crystallize) 成一第一單晶矽晶粒 (single crystal silicon grain)。

2. 如申請專利範圍第 1 項的製程，其中該基底係為一玻璃 (glass) 基板、石英 (quartz) 基板或是塑膠 (plastic) 基板其中之一。

3. 如申請專利範圍第 1 項的方法，其中該第一高度係等於該第二高度以及該第三高度之總和 (sum)。

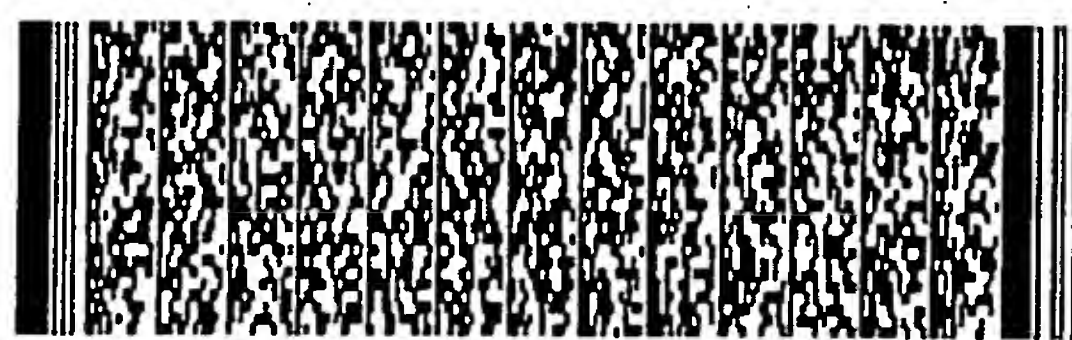
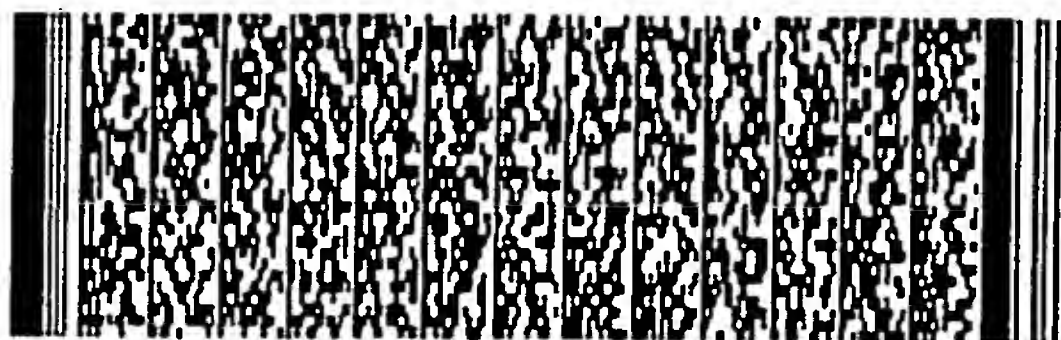
4. 如申請專利範圍第 1 項的方法，其中該第三寬度係等於該第一寬度。

5. 如申請專利範圍第 1 項的方法，其中該第一區域以及該第四區域之間另包含有一第二尖端區域，且各該第二尖端區域具有一第五高度、一第五最大寬度以及一第五最大長度。



六、申請專利範圍

6. 如申請專利範圍第5項的方法，其中該第一高度係等於該第五高度以及該第三高度之總和，且該第三高度小於該第四高度。
7. 如申請專利範圍第5項的方法，其中於進行該雷射結晶製程時，與各該第四區域相鄰接之各該第二尖端區域內之一非晶矽晶種成長，於各該第四區域之內結晶成第二單晶矽晶粒。
8. 如申請專利範圍第1項的方法，其中該雷射結晶製程係利用一雷射照射該非晶矽圖案，以使各該第四區域內之該非晶矽薄膜達到完全熔融 (completely-melted) 狀態，並使各該第一尖端區域內之該非晶矽薄膜達到部分熔融 (partial-melting) 狀態後，再由與各該第四區域相鄰接之各該第一尖端區域內之殘餘 (residual) 固態矽作為一核基點 (nucleation site) 做超級側向成長 (super lateral grow, SLG)。
9. 如申請專利範圍第8項的方法，其中該第三高度係小於該第四高度，於利用一雷射照射該非晶矽圖案之後，被各該第四區域以及各該第一尖端區域所覆蓋之該第三區域之溫度較各該第四區域之溫度高，提供各該核基點由各該第四區域向未被各該第四區域以及各該第一尖端區域所覆蓋之該第三區域成長。



六、申請專利範圍

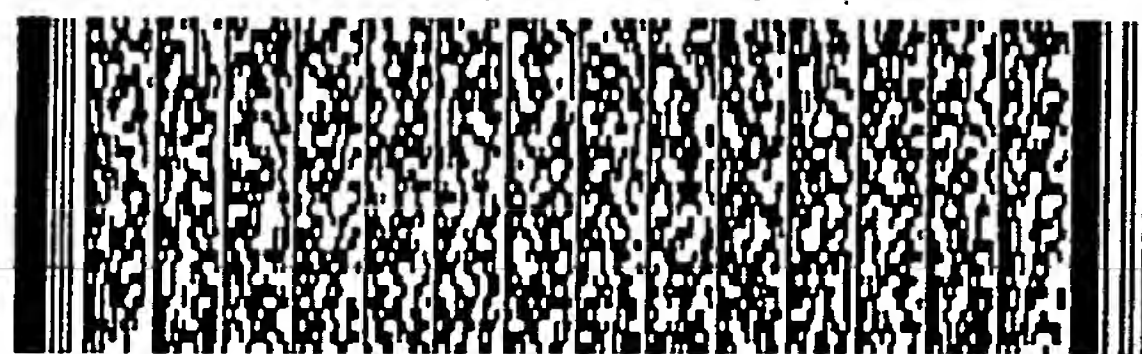
10. 如申請專利範圍第9項的方法，其中該雷射結晶製程係利用一雷射照射該非晶矽圖案，以使未被各該第四區域以及各該第一尖端區域所覆蓋之該第三區域內之該非晶矽薄膜達到完全熔融狀態，並使該第一區域以及該第二區域內之該非晶矽薄膜達到部分熔融狀態，再分別由該第一區域以及該第二區域內之複數個非晶矽晶種成長，於未被各該第四區域以及各該第一尖端區域所覆蓋之該第三區域之內結晶成為複晶矽晶粒 (polycrystal silicon grain)。

11. 如申請專利範圍第1項的方法，其中該雷射係為一準分子雷射 (excimer laser, EL)、氣體脈衝雷射 (gas pulse laser)、固態脈衝雷射 (solid pulse laser)或是連續波雷射 (continuous wave laser)其中之一。

12. 一種製作至少一薄膜電晶體 (thin film transistor, TFT)的方法，該方法包含有下列步驟：

提供一基底 (substrate)，該基底之上包含有一非晶矽 (amorphous silicon, a-Si)圖案 (pattern)，且該非晶矽圖案包含有兩相對 (oppositely)之一第一側面 (first side)以及一第二側面 (second side)，該非晶矽圖案包含有：

一第一區域，該第一區域係由該第一側面向該第二



六、申請專利範圍

側面的方向延伸 (extend)，且該第一區域具有一第一高度 (height)、一第一寬度 (width) 以及一第一長度 (length)；

一第二區域，該第二區域係由該第二側面向該第一側面的方向延伸，且該第二區域具有一第一高度、一第一寬度以及一第一長度；

至少一第一尖端 (pointed end) 區域，各該第一尖端區域係緊鄰該第二區域並朝向該第一側面的方向延伸，各該第一尖端區域具有一第二高度、一第二最大寬度 (maximum width) 以及一第二最大長度 (maximum length)，且該第二高度小於該第一高度；

一第三區域，該第三區域係位於該第一區域以及該第二區域之間，各該第一尖端區域係位於該第三區域上，且該第三區域具有一第三高度、一第三寬度以及一第三長度，該第三高度小於該第一高度；以及至少一第四區域，各該第四區域係位於該第一區域以及各該第一尖端區域之間之該第三區域之上，各該第四區域具有一第四高度、一第四寬度以及一第四長度，且該第四高度小於該第二高度，該第四寬度小於該第三寬度；

對該非晶矽圖案進行一雷射結晶 (laser crystallization, LC) 製程；

於各該第四區域之上形成至少一閘極絕緣 (gate insulation, GI) 層；以及



六、申請專利範圍

於各該閘極絕緣層表面形成至少一圖案化之閘極電極 (gate electrode);

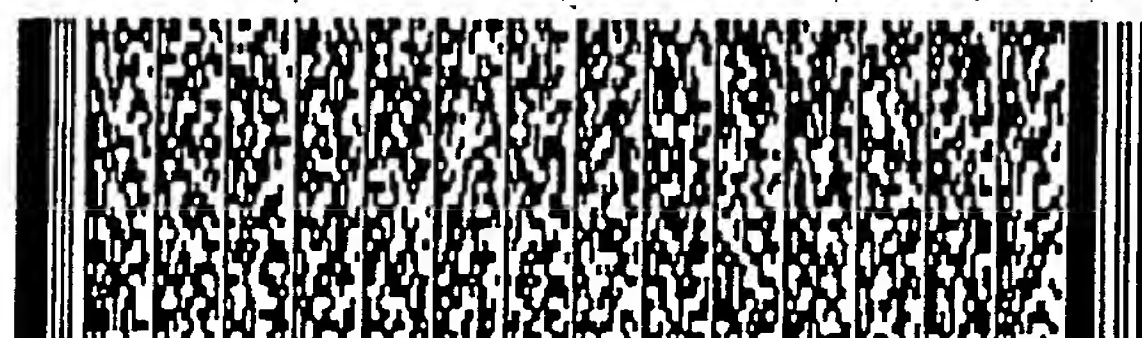
其中該雷射結晶製程係用來使與各該第四區域相鄰接之各該第一尖端區域內之一非晶矽晶種 (seed) 成長 (grow), 於各該第四區域之內結晶 (crystallize) 成一第一單晶矽晶粒 (single crystal silicon grain)。

13. 如申請專利範圍第 12 項的方法, 其中各該薄膜電晶體係為一低溫複晶矽薄膜電晶體 (low temperature polysilicon thin film transistor, LTPS TFT)

14. 如申請專利範圍第 12 項的製程, 其中該基底包含有一玻璃 (glass) 基板、一石英 (quartz) 基板或是一塑膠 (plastic) 基板。

15. 如申請專利範圍第 12 項的方法, 其中該第一區域以及該第二區域係為各該薄膜電晶體之源極 / 汲極 (source/drain) 區域, 各該第四區域係為各該薄膜電晶體之通道 (channel) 區域。

6. 如申請專利範圍第 15 項的方法, 其中於形成各該閘極電極之後另包含有下列步驟:
利用各該閘極電極作為遮罩 (mask) 以進行一離子佈植 (ion implantation) 製程, 於該第一區域以及該第二區



六、申請專利範圍

域之內形成各該薄膜電晶體之源極/汲極電極；以及進行一活化(activation)製程，以活化各該薄膜電晶體之源極/汲極電極內之摻質(dopants)。

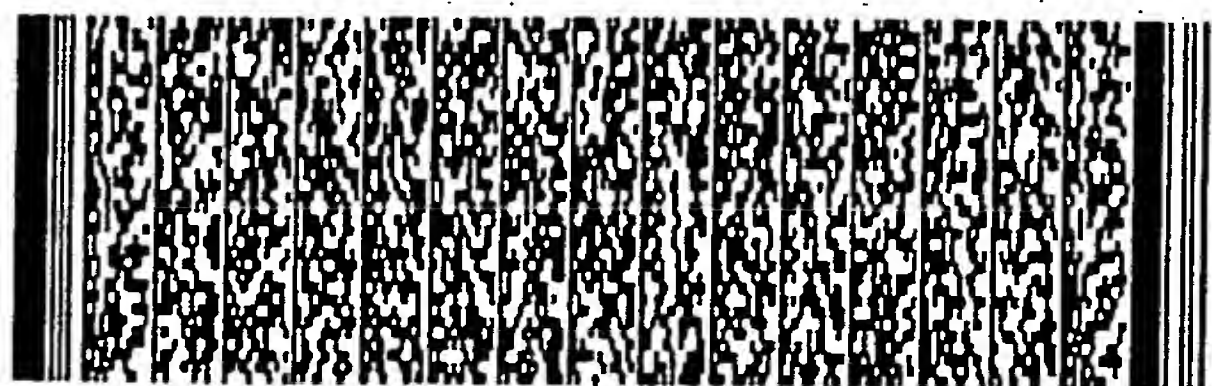
17. 如申請專利範圍第12項的方法，其中該第一高度係等於該第二高度以及該第三高度之總和(sum)。

18. 如申請專利範圍第12項的方法，其中該第三寬度係等於該第一寬度。

19. 如申請專利範圍第12項的方法，其中該第一區域以及各該第四區域之間另包含有一第二尖端區域，且各該第二尖端區域具有一第五高度、一第五最大寬度以及一第五最大長度。

20. 如申請專利範圍第19項的方法，其中該第一高度係等於該第五高度以及該第三高度之總和，且該第三高度小於該第四高度。

21. 如申請專利範圍第19項的方法，其中於進行該雷射晶製程時，與各該第四區域相鄰接之各該第二尖端區域內之一非晶矽晶種成長，於各該第四區域之內結晶成一第二單晶矽晶粒。

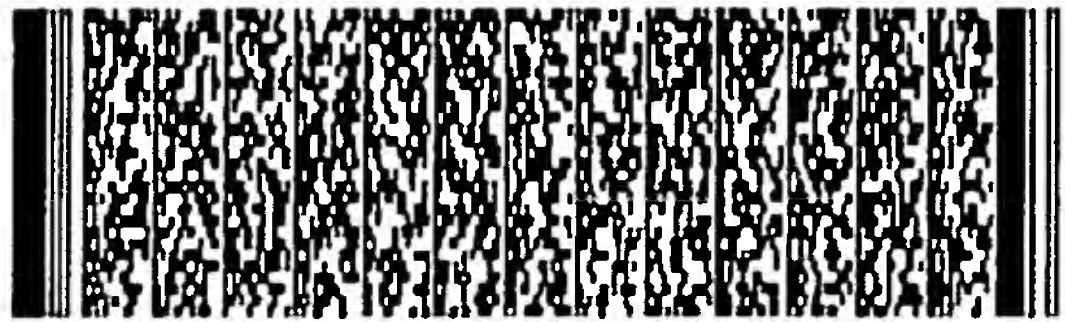
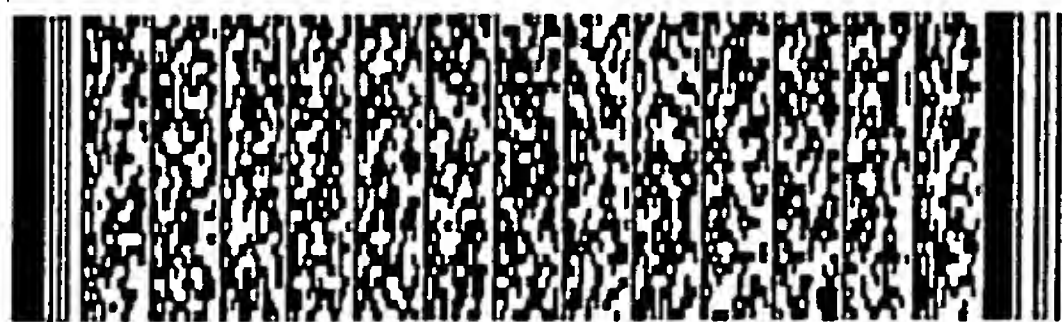


六、申請專利範圍

22. 如申請專利範圍第12項的方法，其中該雷射結晶製程係利用一雷射照射該非晶矽圖案，以使各該第四區域內之該非晶矽薄膜達到完全熔融 (completely-melted) 狀態，並使各該第一尖端區域內之該非晶矽薄膜達到部分熔融 (partial-melting) 狀態後，再由與各該第四區域相鄰接之各該第一尖端區域內之殘餘 (residual) 固態矽作為一核基點 (nucleation site) 做超級側向成長 (super lateral grow, SLG)。

23. 如申請專利範圍第22項的方法，其中該第三高度係於該第四高度，於利用一雷射照射該非晶矽圖案之該第一尖端區域以及各該第一尖端區域所覆蓋之該第四區域，提供各該第一尖端區域之溫度較該第四區域向未被各該第一尖端區域所覆蓋之該第三區域成長。

24. 如申請專利範圍第23項的方法，其中該雷射結晶製程係利用一雷射照射該非晶矽圖案，以使未被各該第四區域以及該第一尖端區域內之該非晶矽薄膜達到完全熔融狀態，並使該第一尖端區域以及該第一尖端區域內之該非晶矽薄膜達到部分熔融狀態，再分別成長，於未被各該第一尖端區域以及該第一尖端區域內之該非晶矽薄膜達到完全熔融狀態之該第一尖端區域內結晶成為複晶矽晶粒 (polycrystal)。



六、申請專利範圍

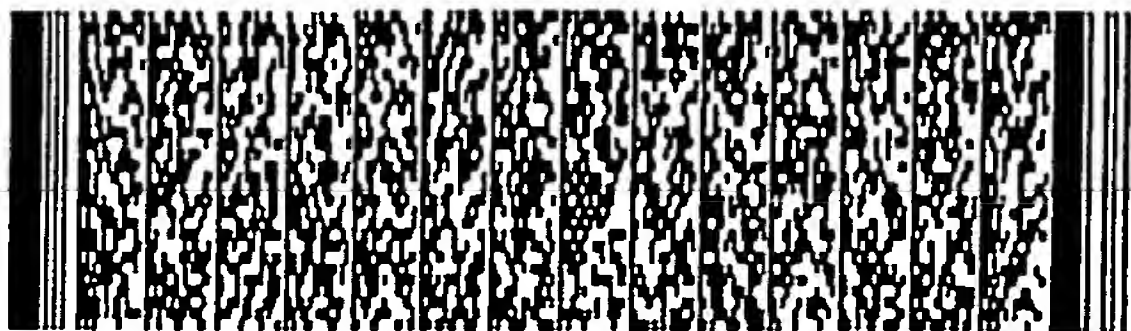
silicon grain)。

25. 如申請專利範圍第12項的方法，其中於進行該雷射結晶製程之後，被各該第四區域以及各該第一尖端區域所覆蓋之該第三區域內之該非晶矽薄膜係達到部分熔融狀態。

26. 如申請專利範圍第12項的方法，其中該雷射包含有一準分子雷射(excimer laser, EL)、一氣體脈衝雷射(gas pulse laser)、一固態脈衝雷射(solid pulse laser)或是一連續波雷射(continuous wave laser)。

27. 如申請專利範圍第12項的方法，其中形成各該閘極絕緣層之方法另包含有下列子步驟：
進行至少一電漿增強化學氣相沈積(plasma enhanced chemical vapor deposition, PECVD)製程，以於該基底之表面形成至少一介電層(dielectric layer)。

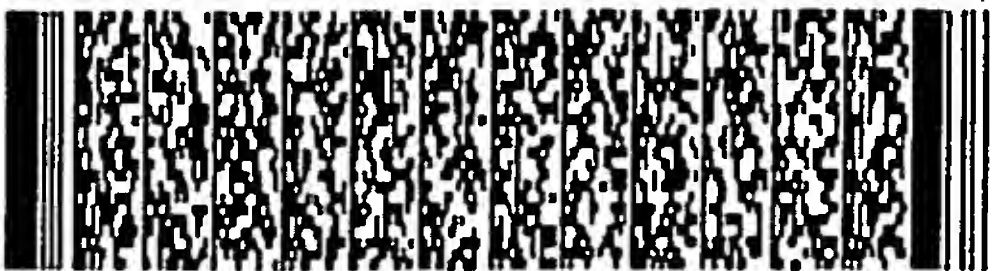
28. 如申請專利範圍第27項的方法，其中構成各該介電層之材料(material composition)包含有以矽甲烷為基之氧化矽(SiH_4 -based silicon oxide, SiH_4 -based SiO_x)、以四乙氧基矽烷為主的氧化矽(tetra-ethyl-ortho-silicate based silicon oxide, TEOS-based SiO_x)、氮化矽(silicon nitride, SiN_x)以及氮氧化矽

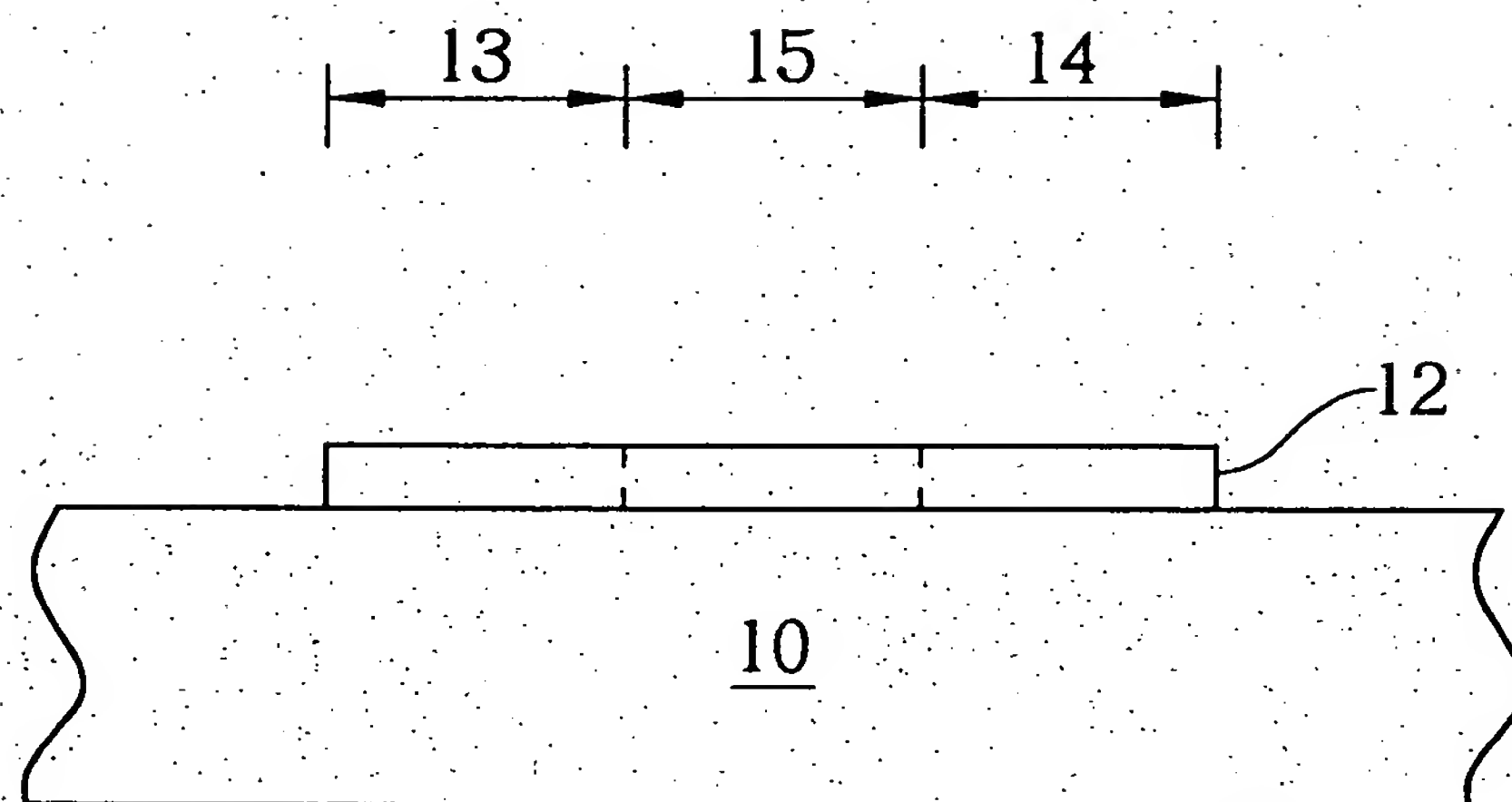


六、申請專利範圍

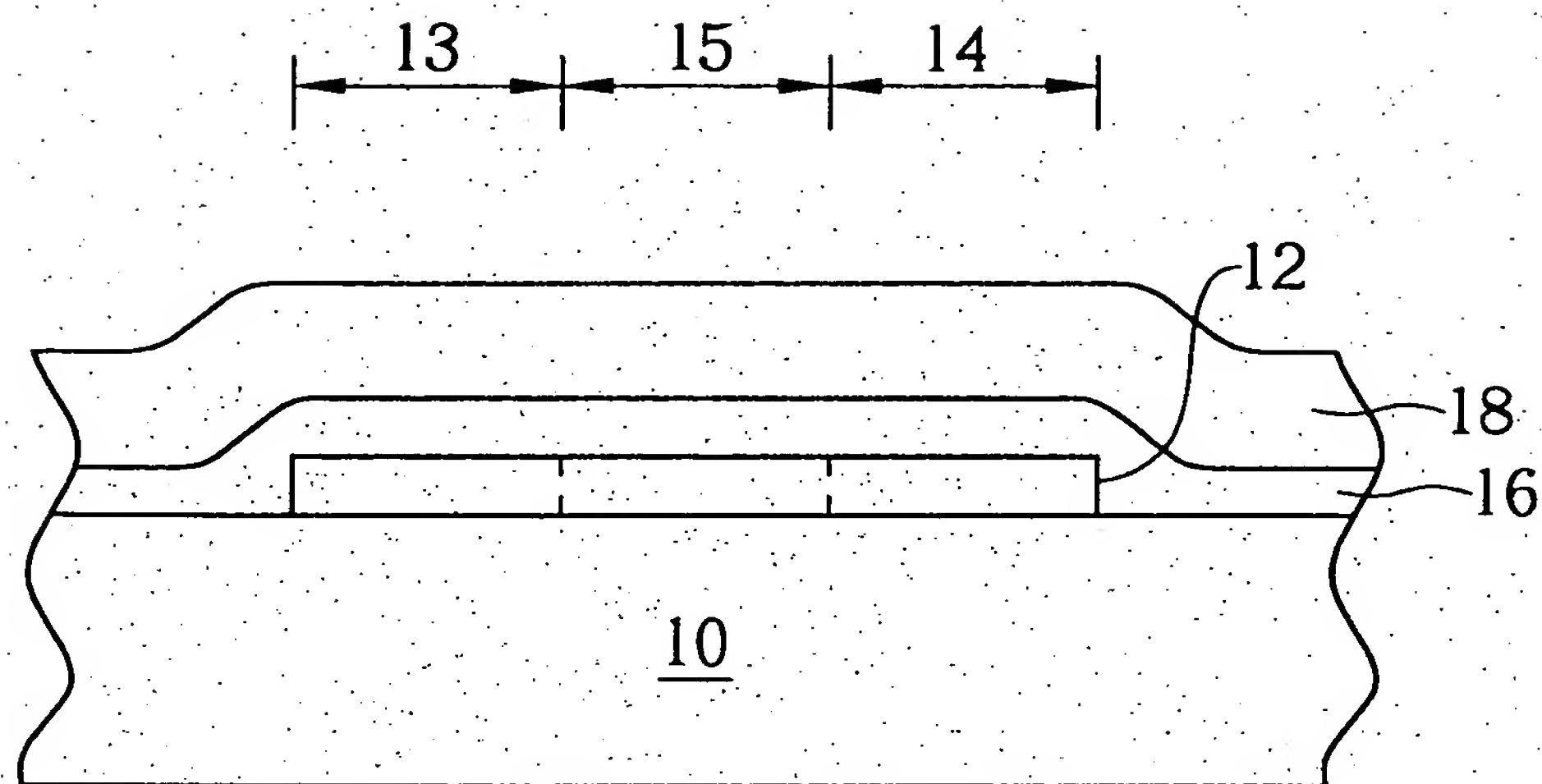
(silicon oxynitride, SiO_xN_y)。

29. 如申請專利範圍第 12 項的方法，其中構成各該閘極電極之材料包含有鎢 (W)、鉻 (Cr) 或是其他導電金屬 (conductive metal)。

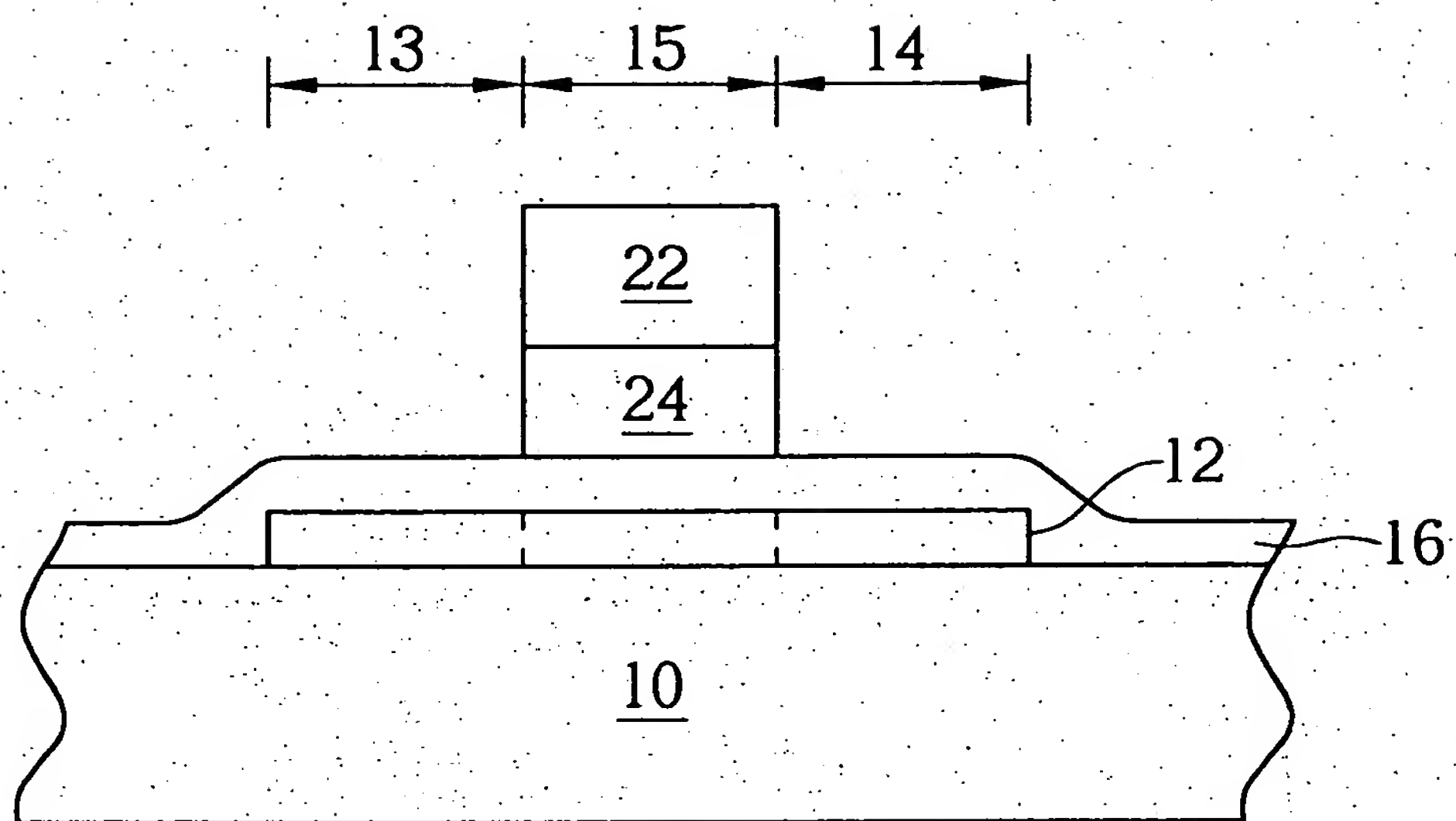




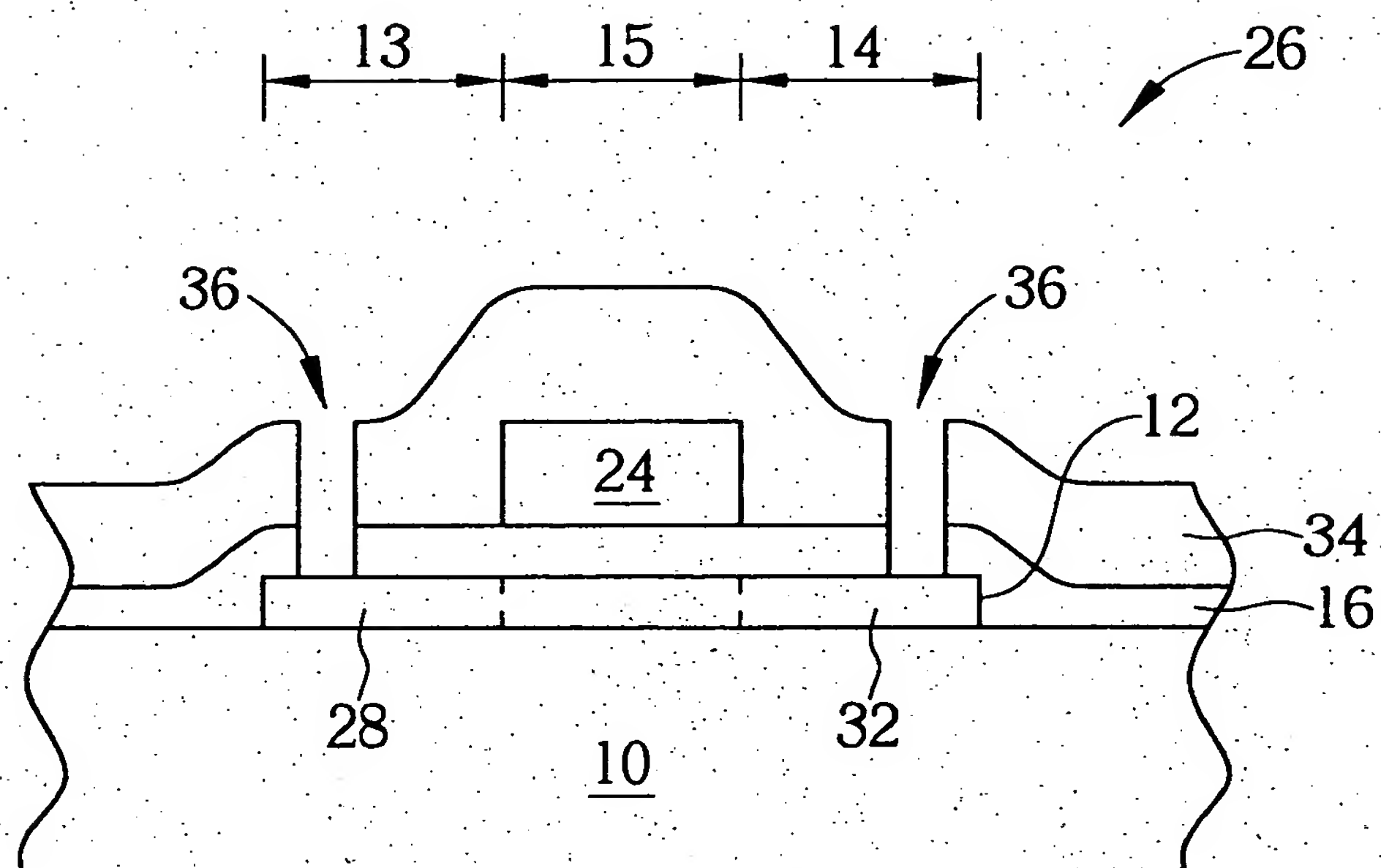
圖一



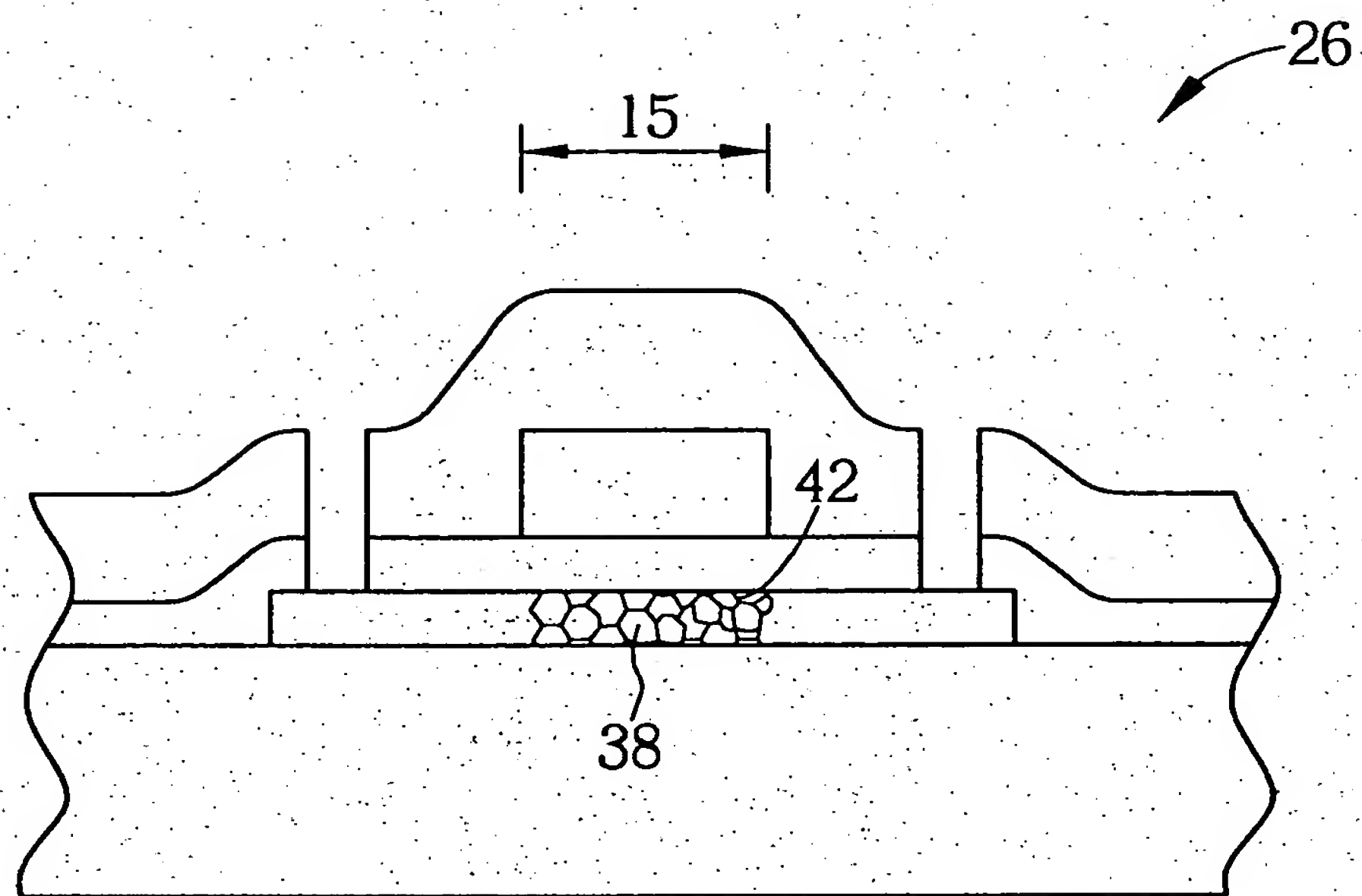
圖二



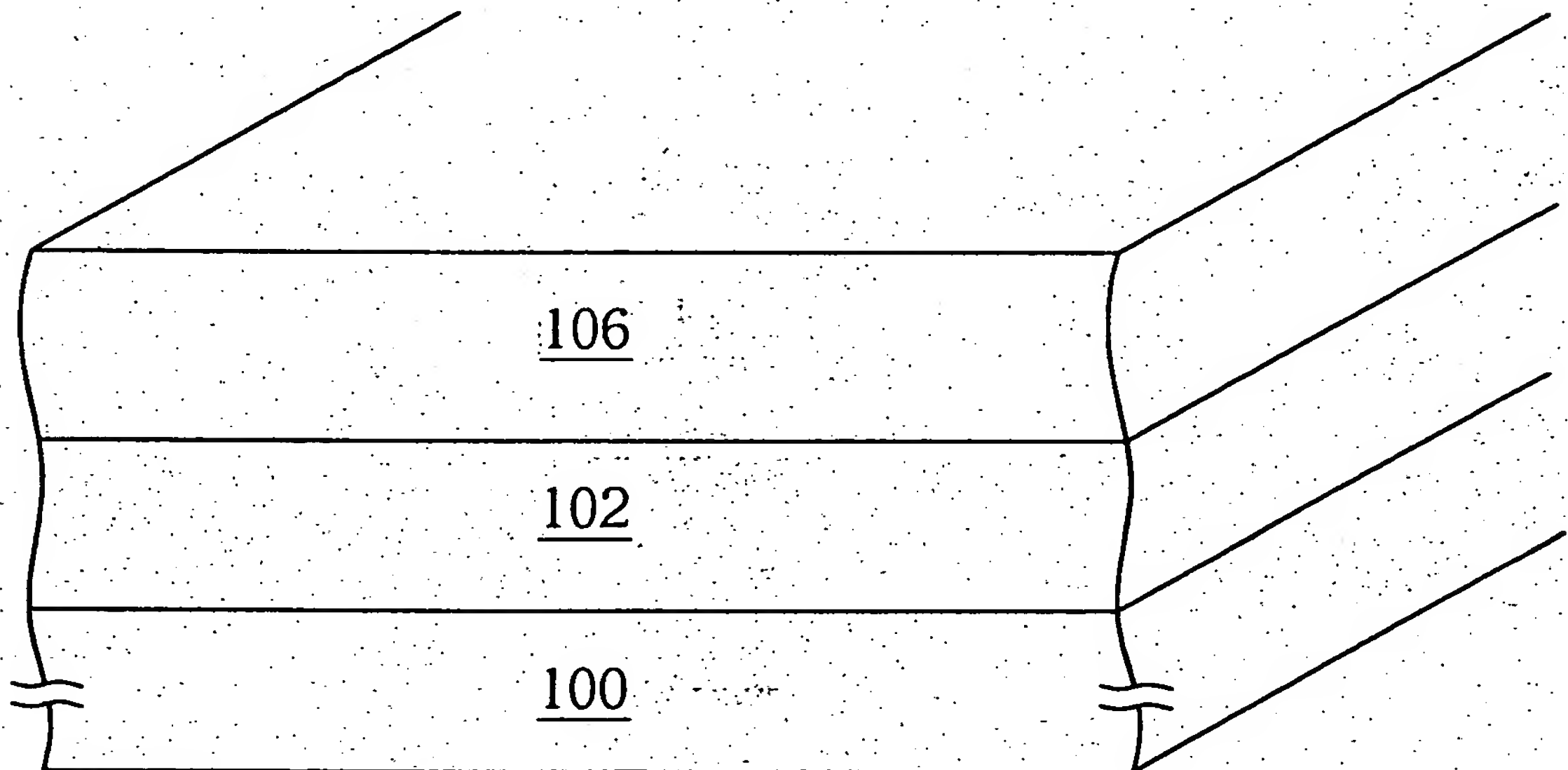
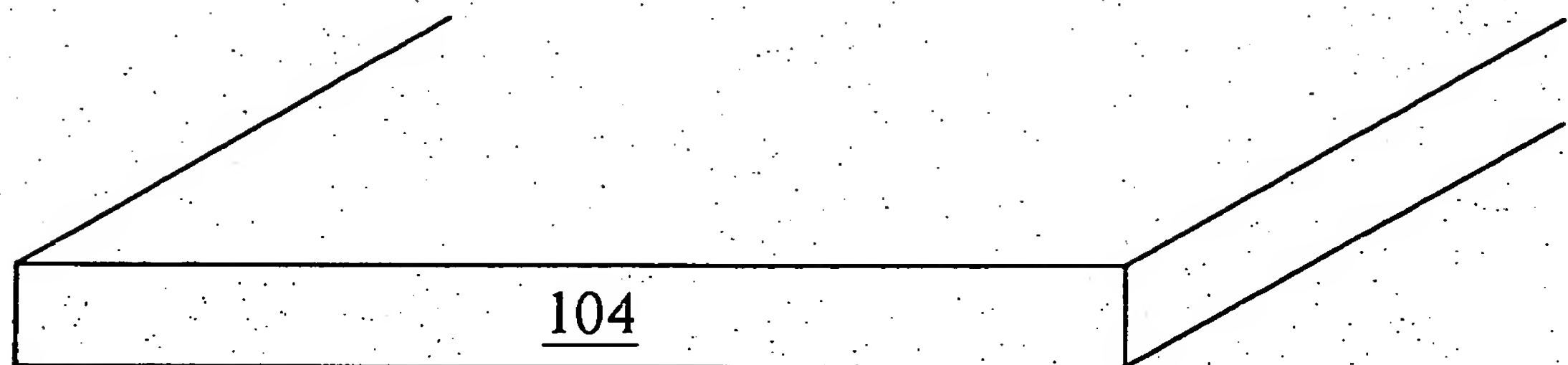
圖三



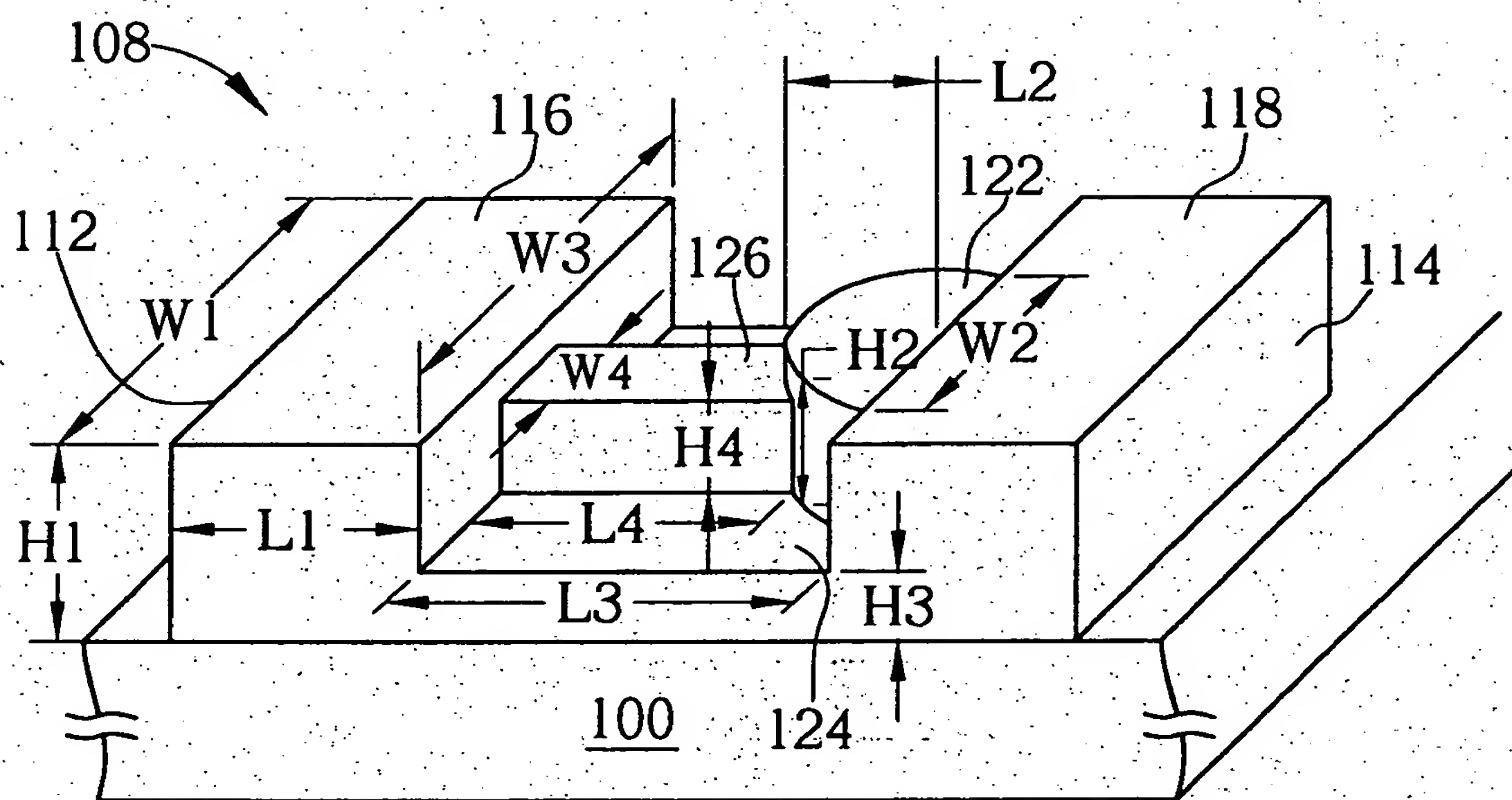
圖四



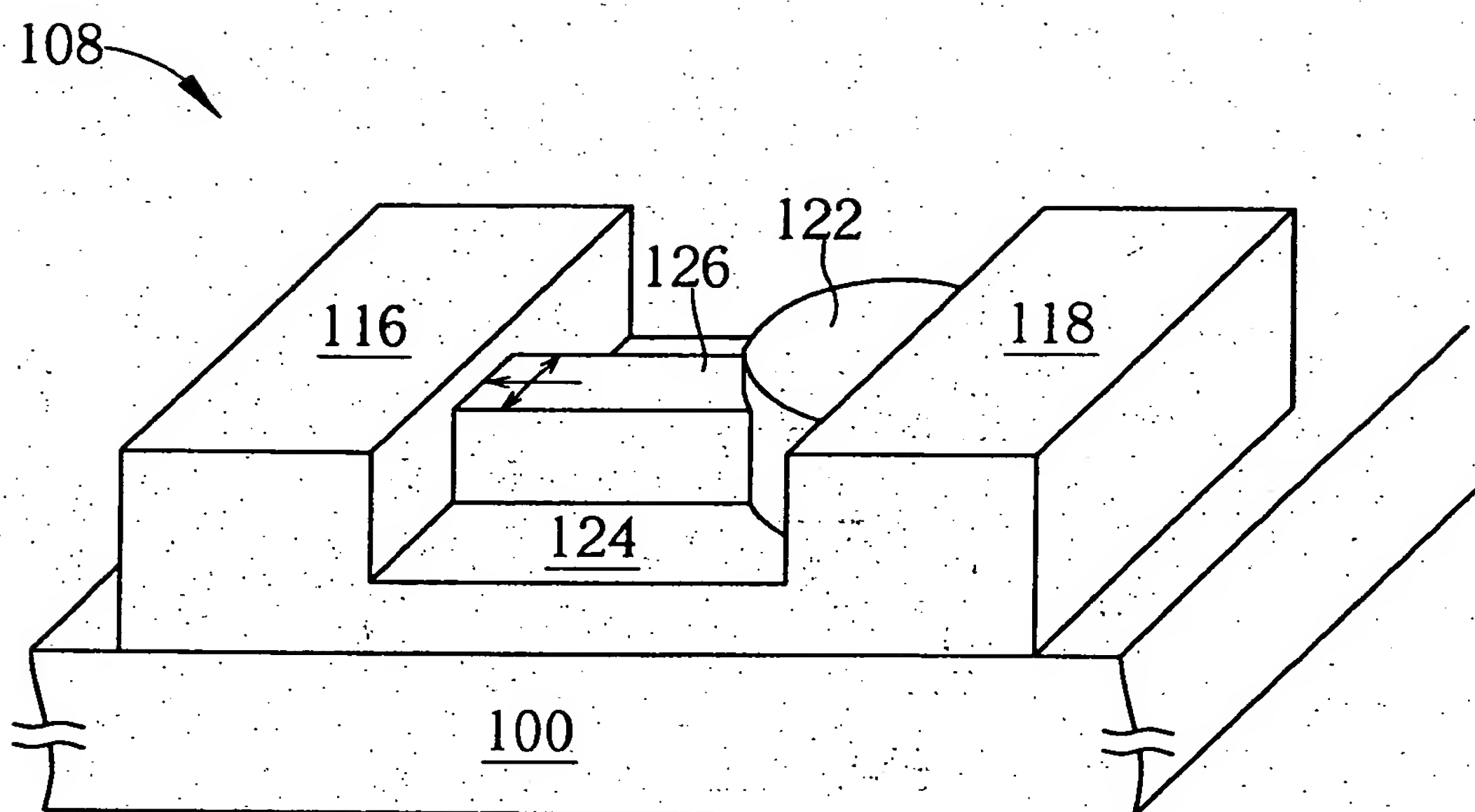
圖五



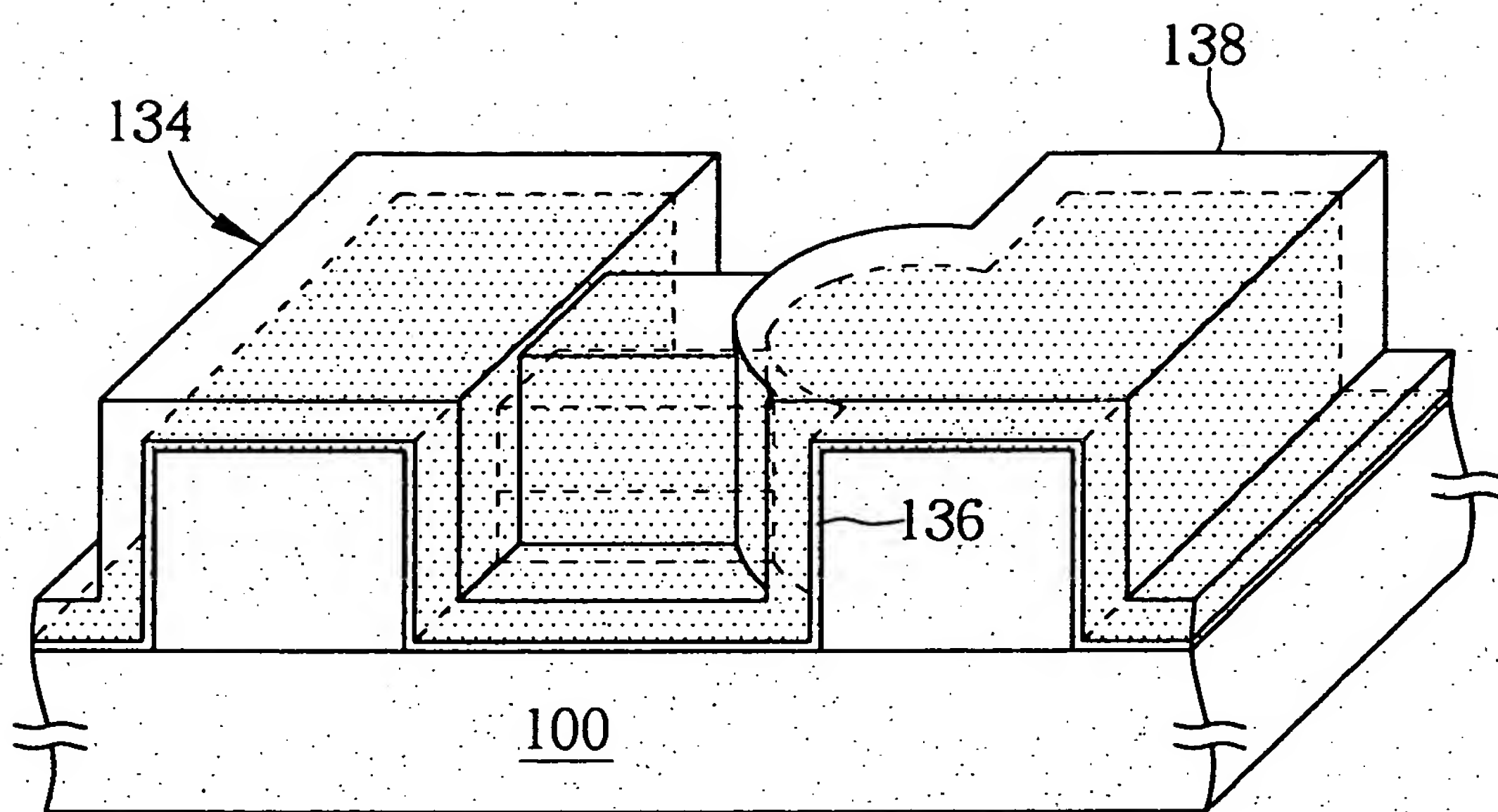
圖六A



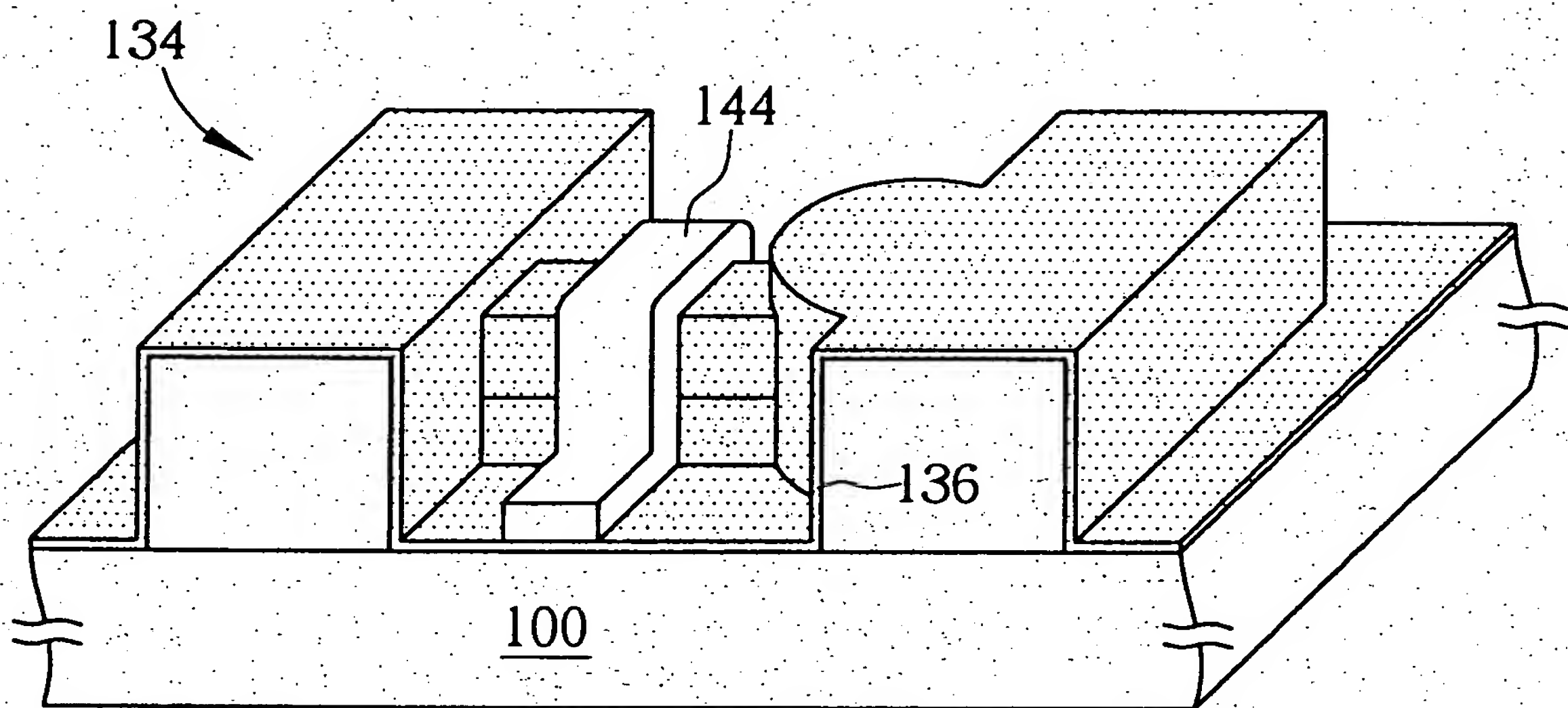
圖六B



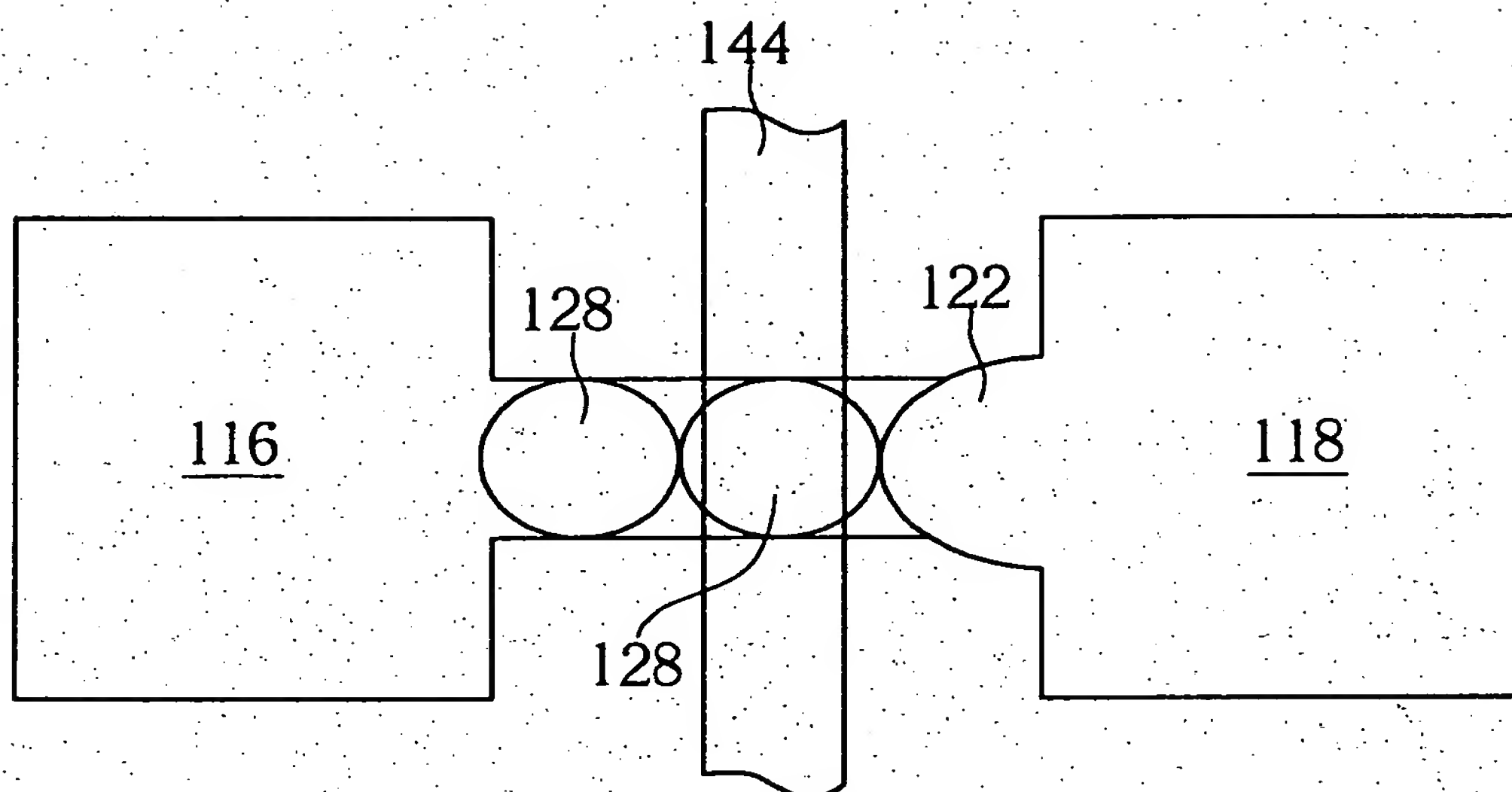
圖七



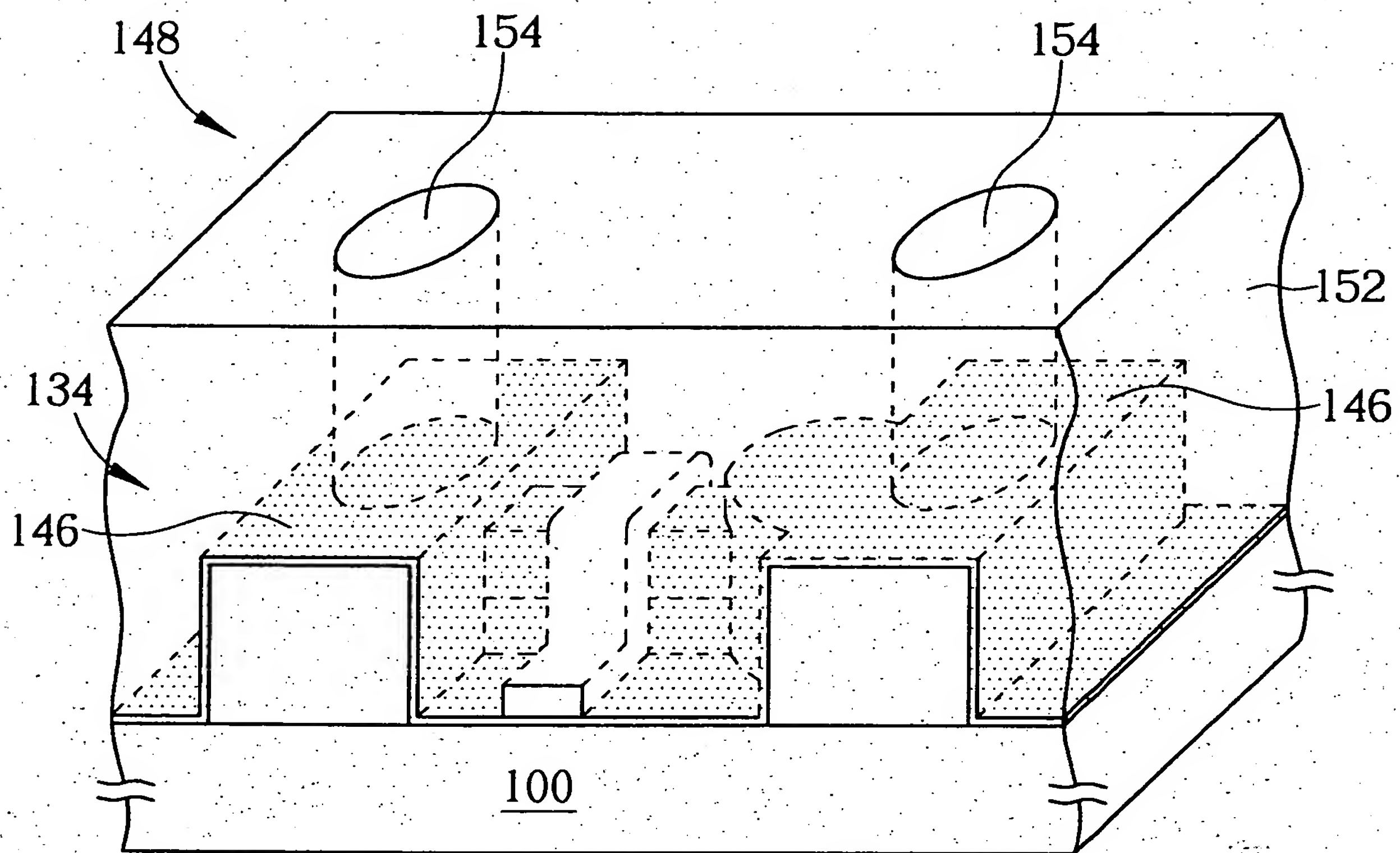
圖八



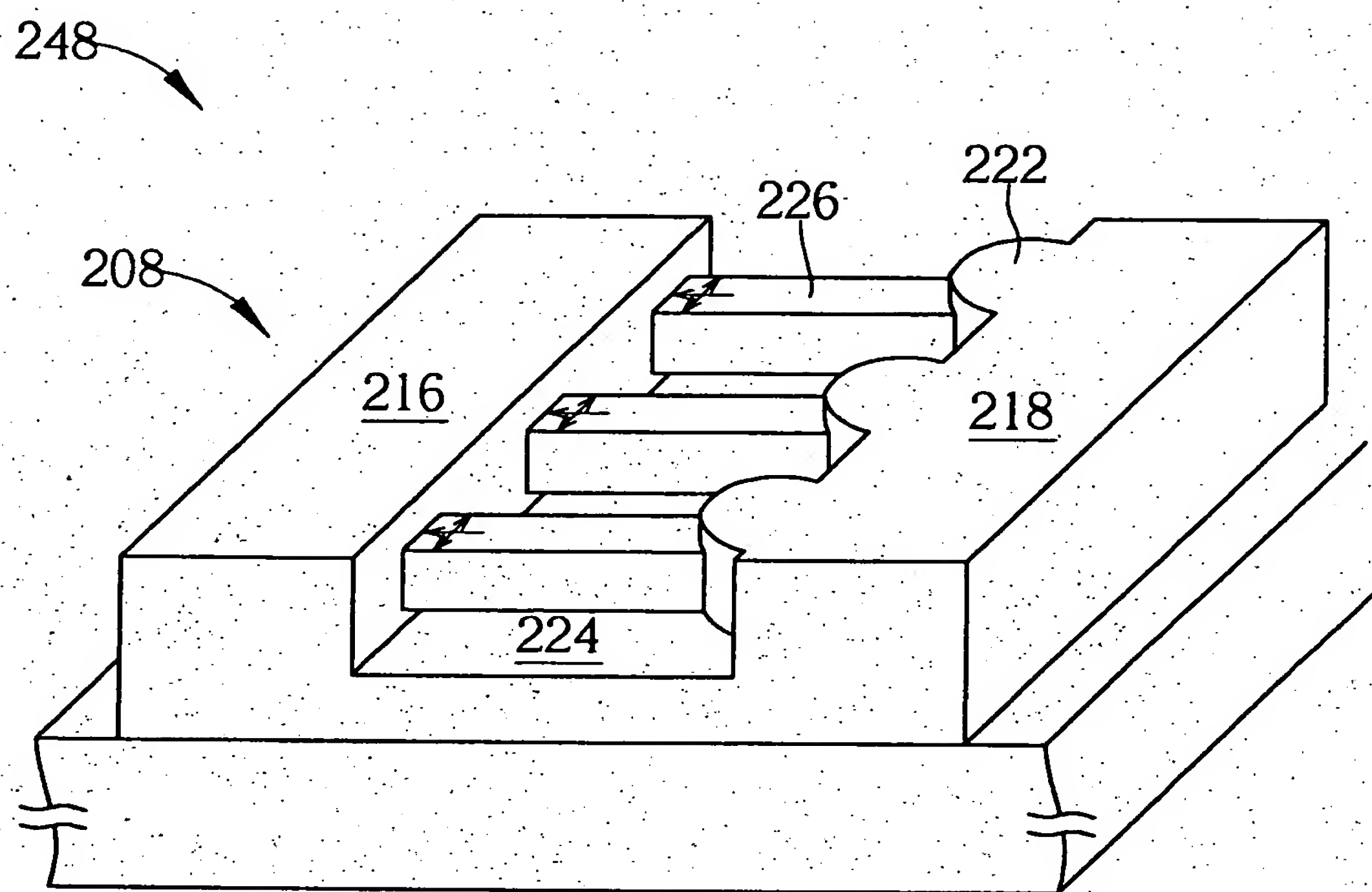
圖九A



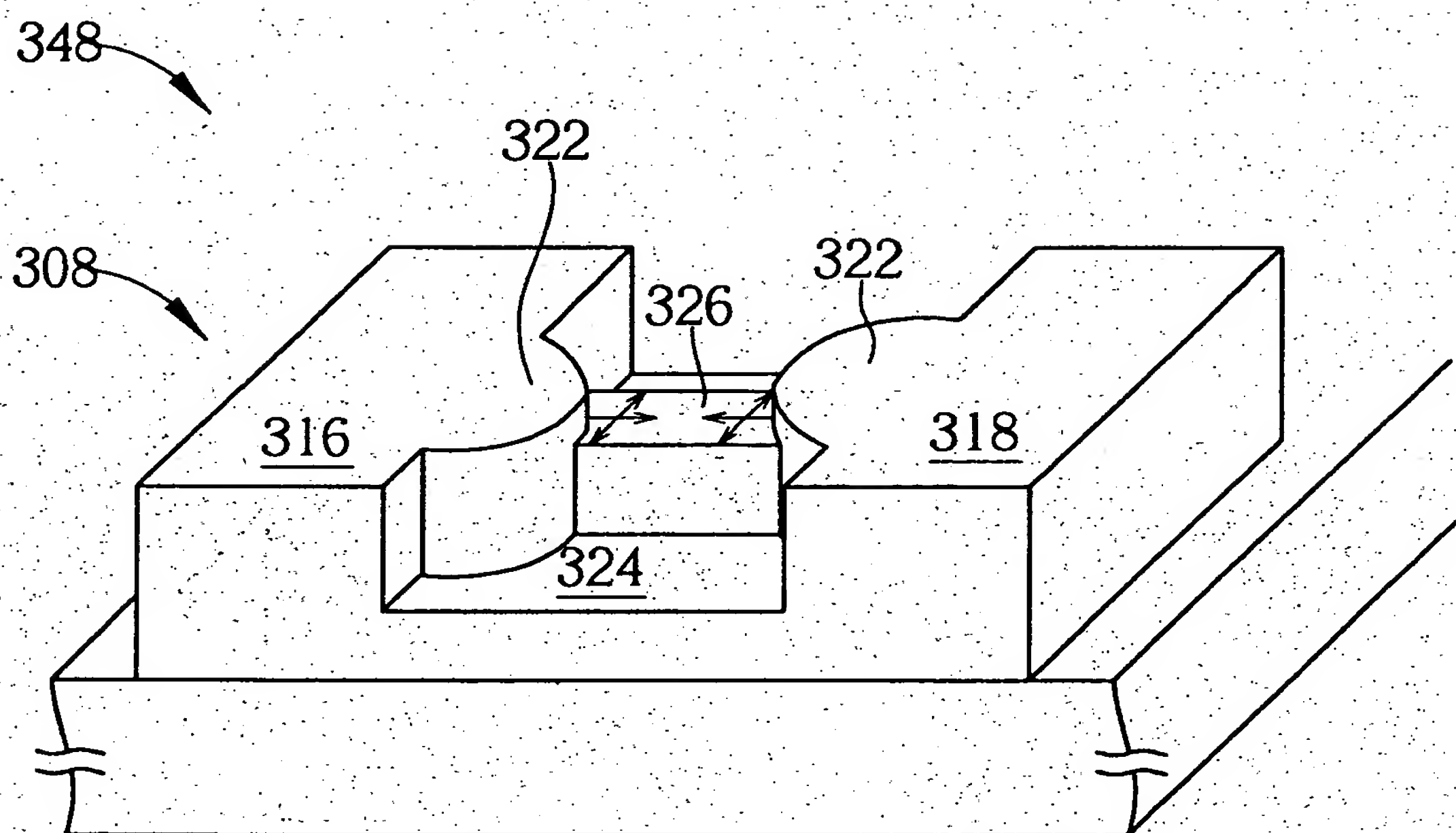
圖九B



圖十

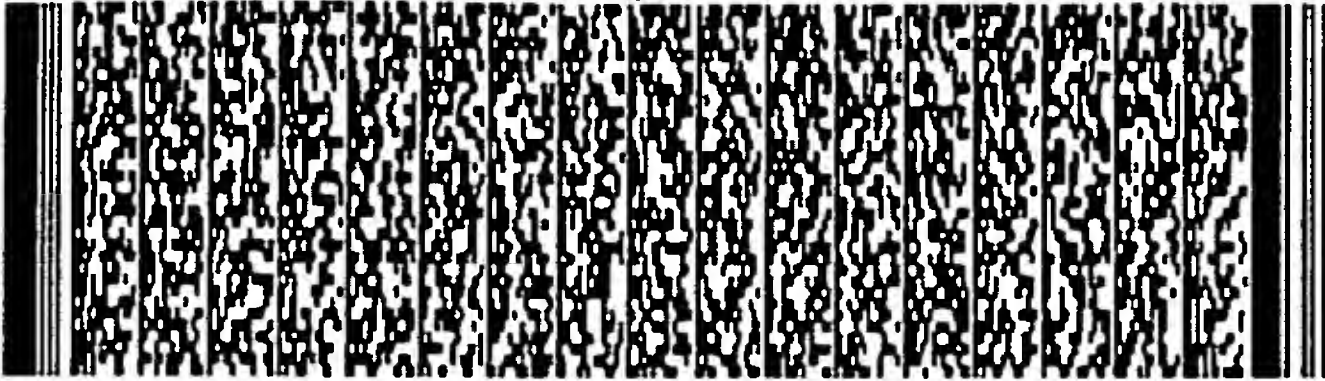


圖十一

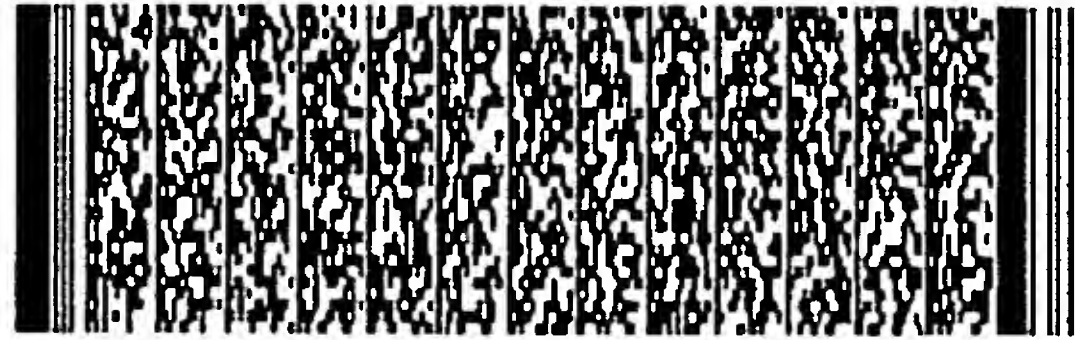


圖十二

第 1/37 頁



第 2/37 頁



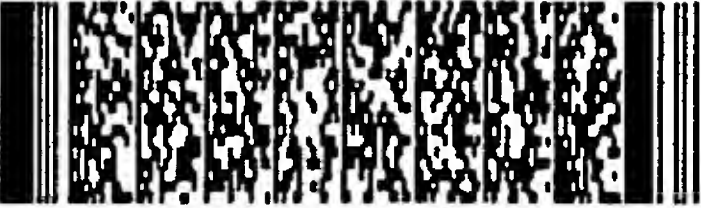
第 2/37 頁



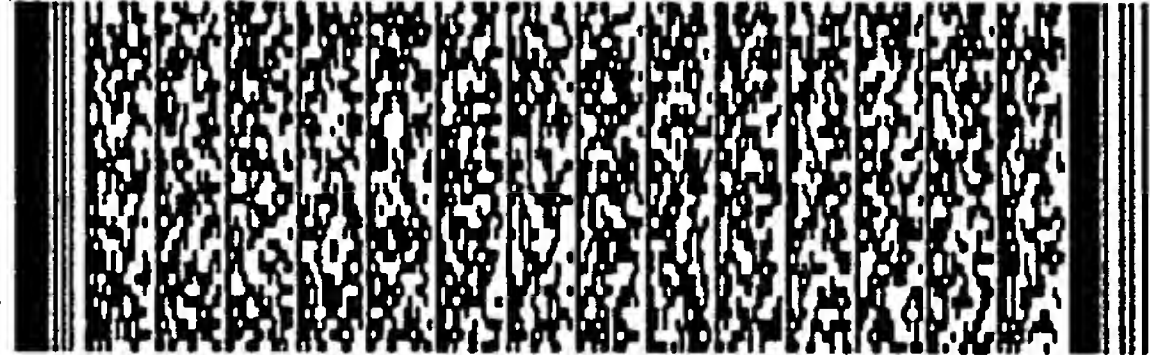
第 3/37 頁



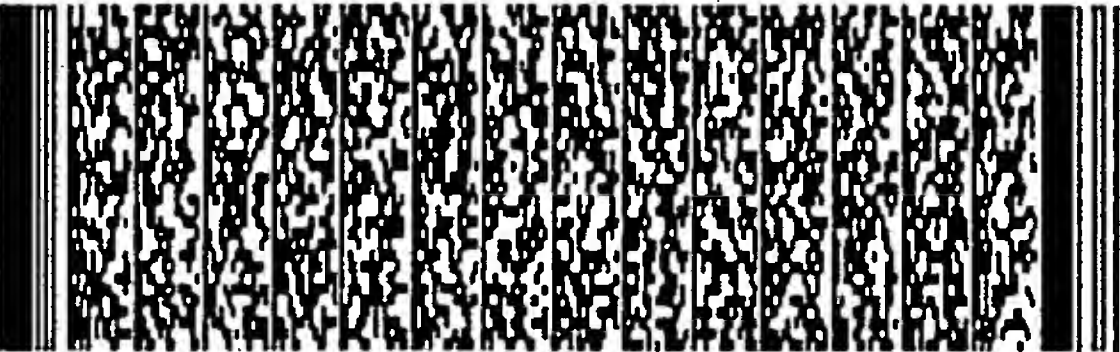
第 4/37 頁



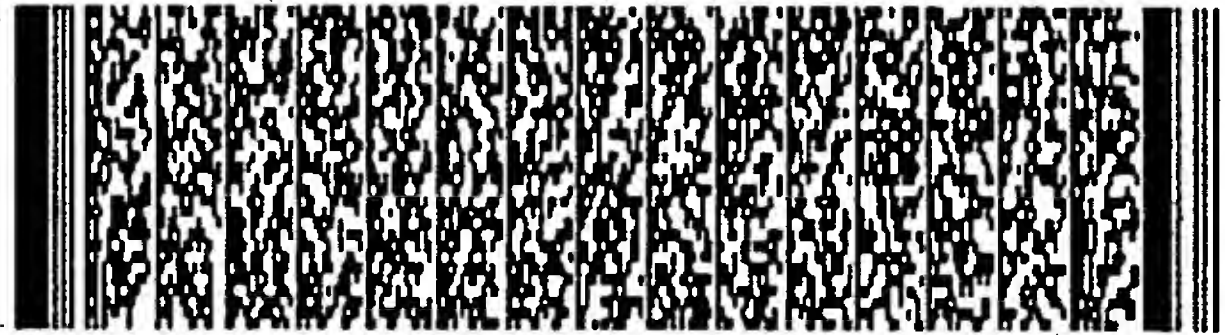
第 5/37 頁



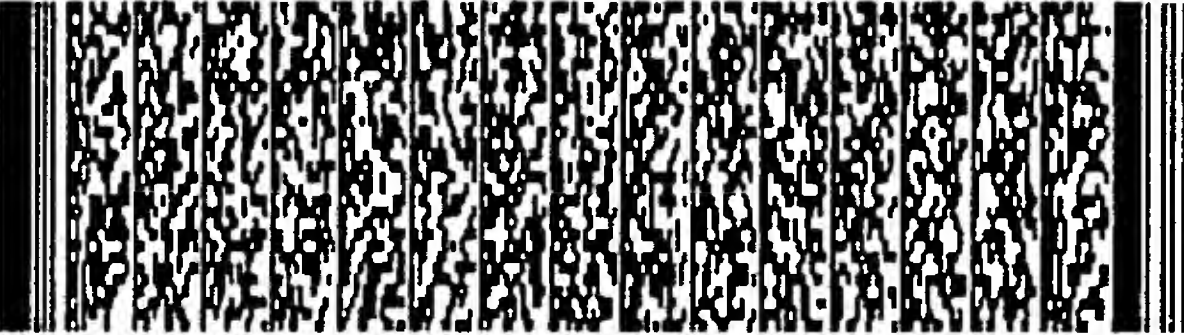
第 5/37 頁



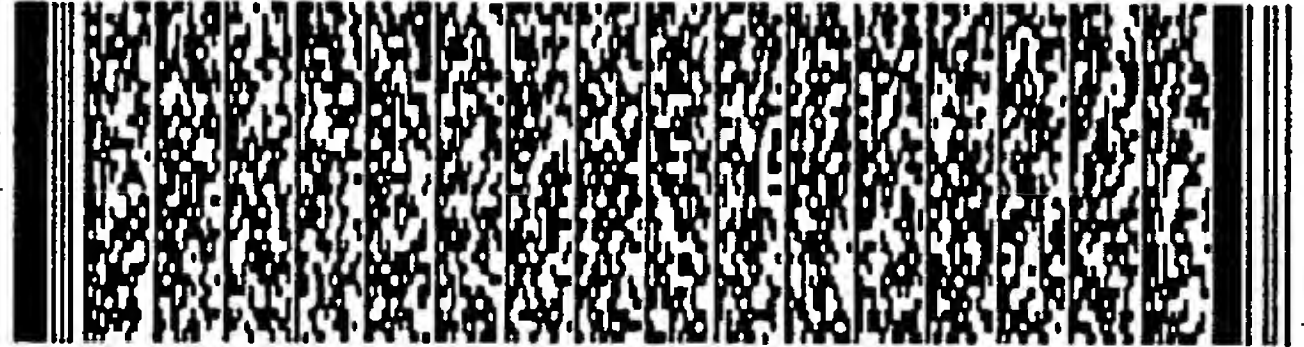
第 6/37 頁



第 6/37 頁



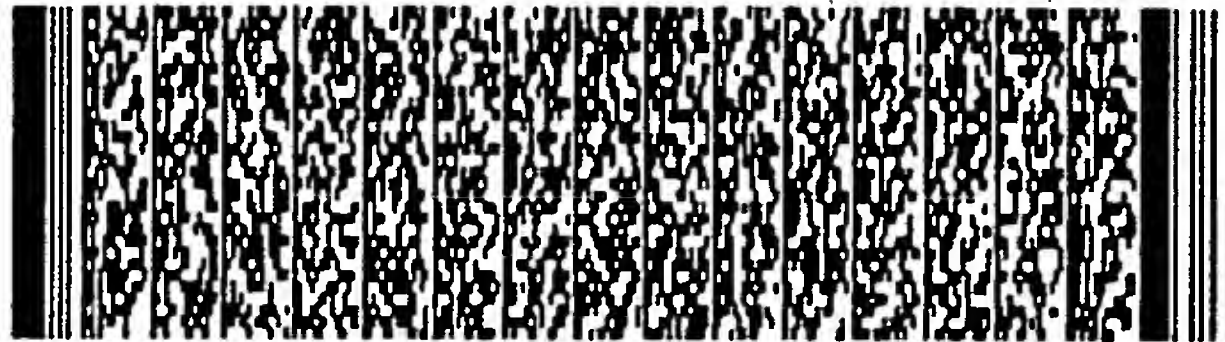
第 7/37 頁



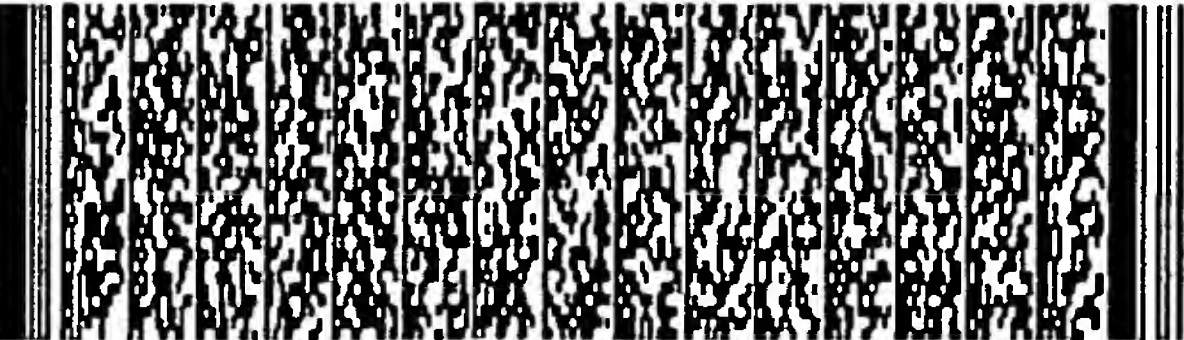
第 7/37 頁



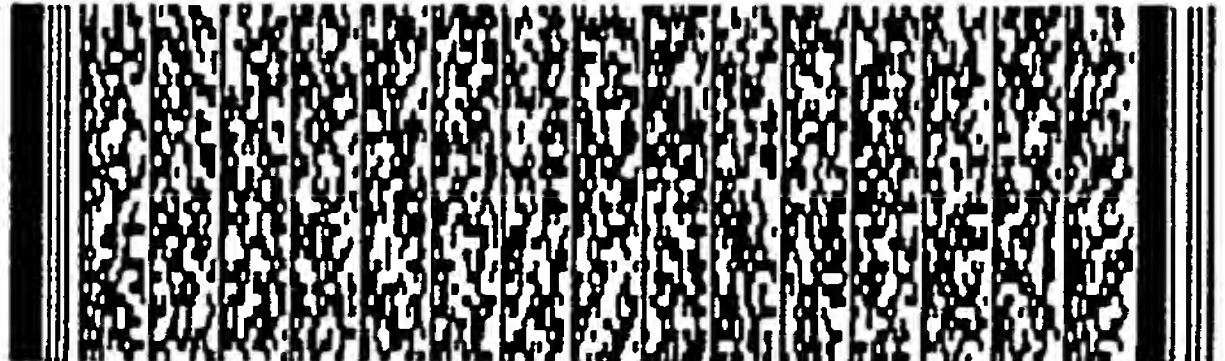
第 8/37 頁



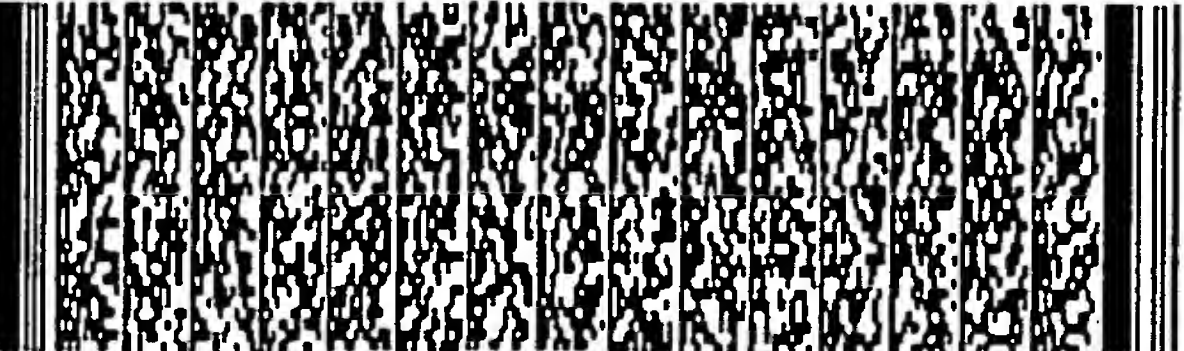
第 8/37 頁



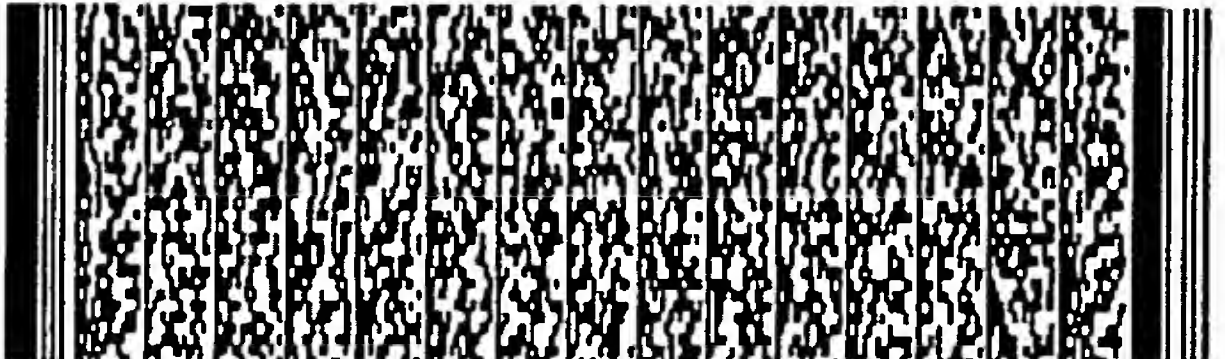
第 9/37 頁



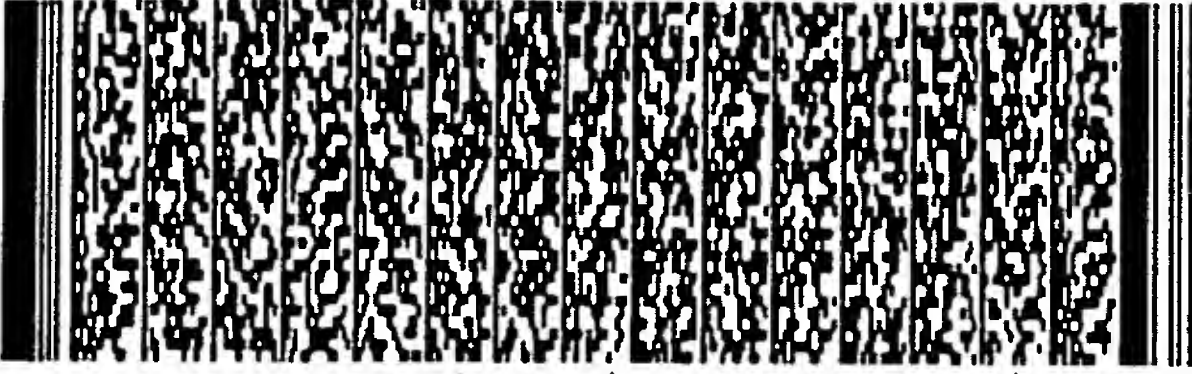
第 9/37 頁



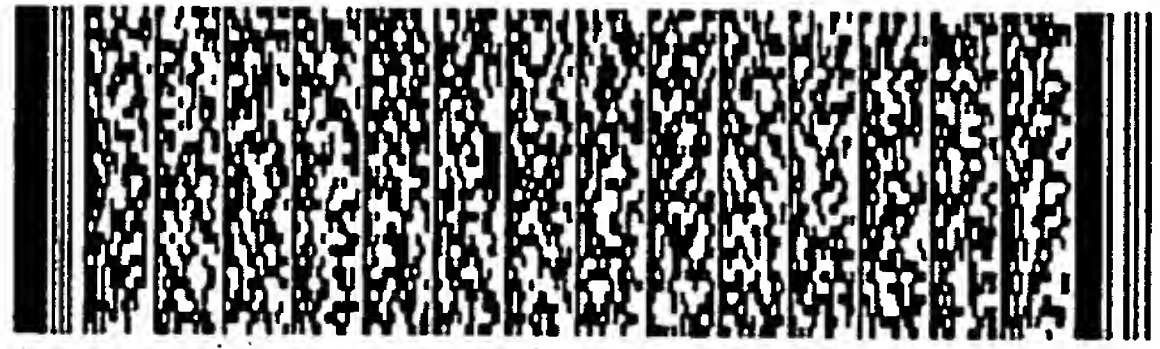
第 10/37 頁



第 10/37 頁



第 11/37 頁



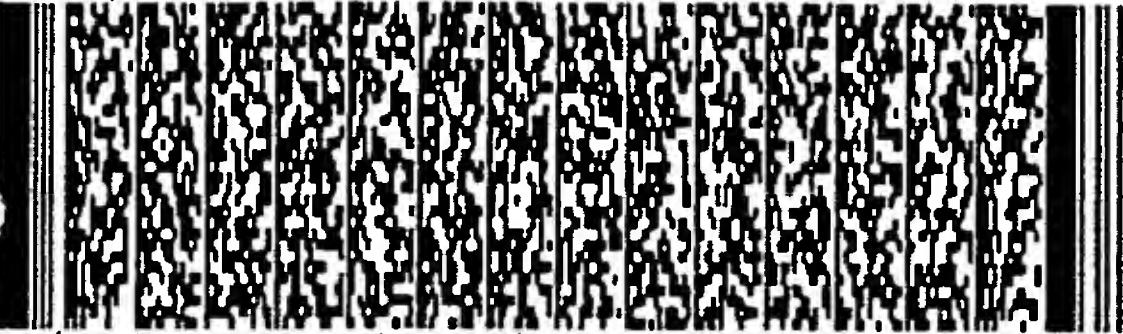
第 11/37 頁



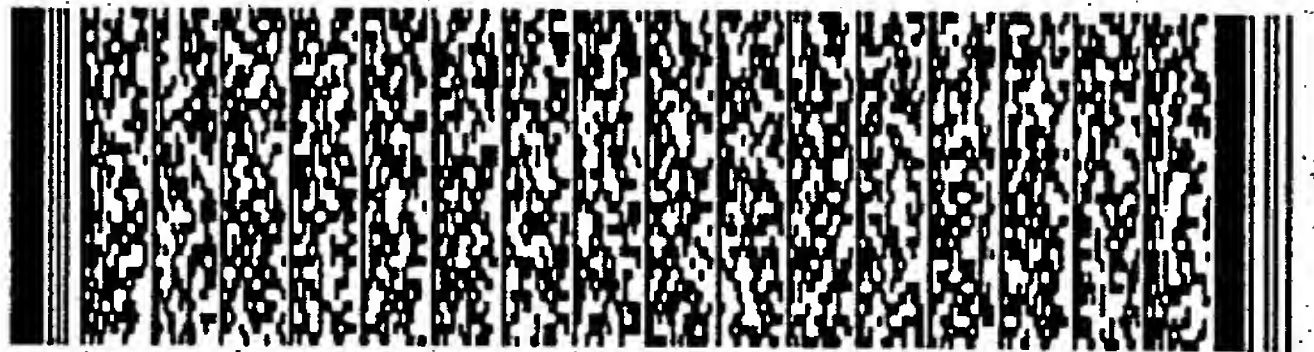
第 12/37 頁



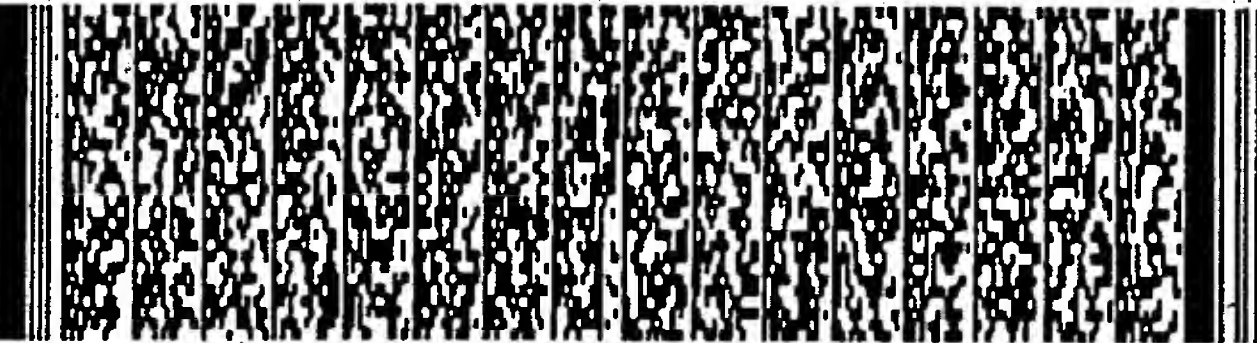
第 12/37 頁



第 13/37 頁



第 13/37 頁



第 14/37 頁



第 14/37 頁



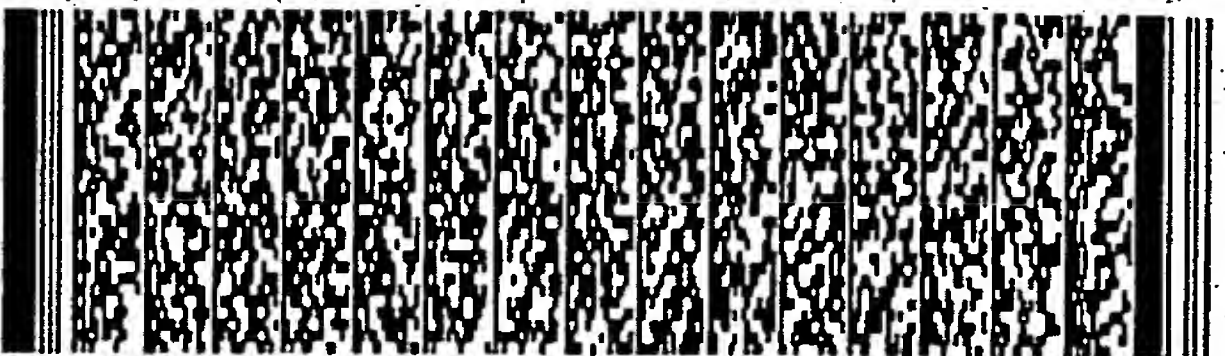
第 15/37 頁



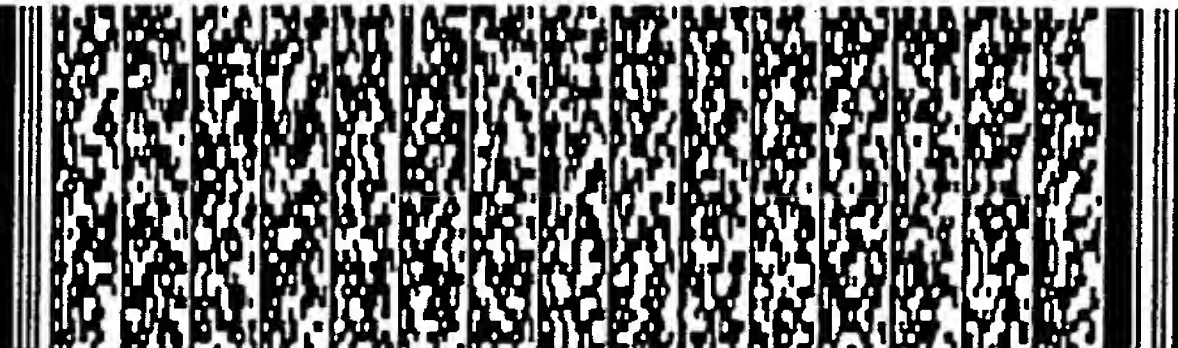
第 15/37 頁



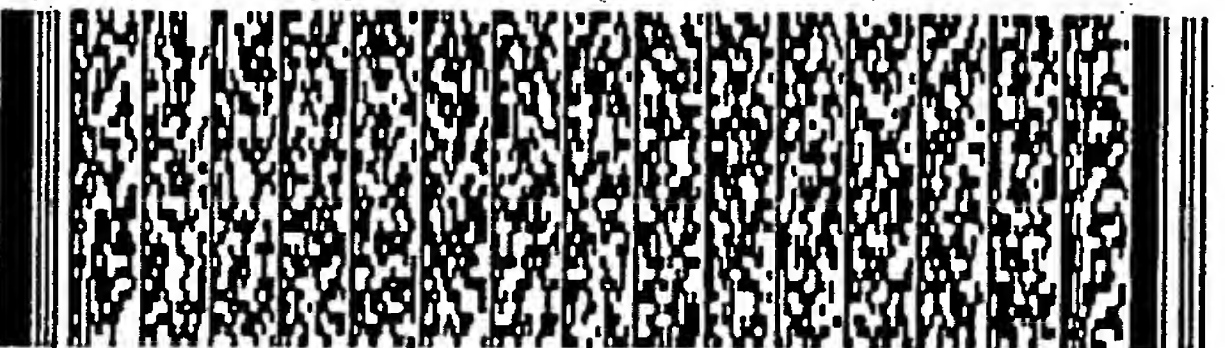
第 16/37 頁



第 16/37 頁



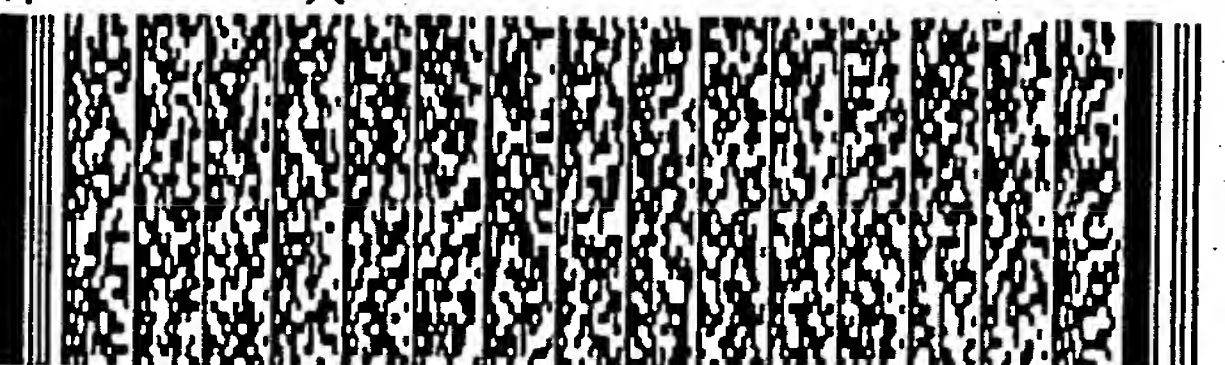
第 17/37 頁



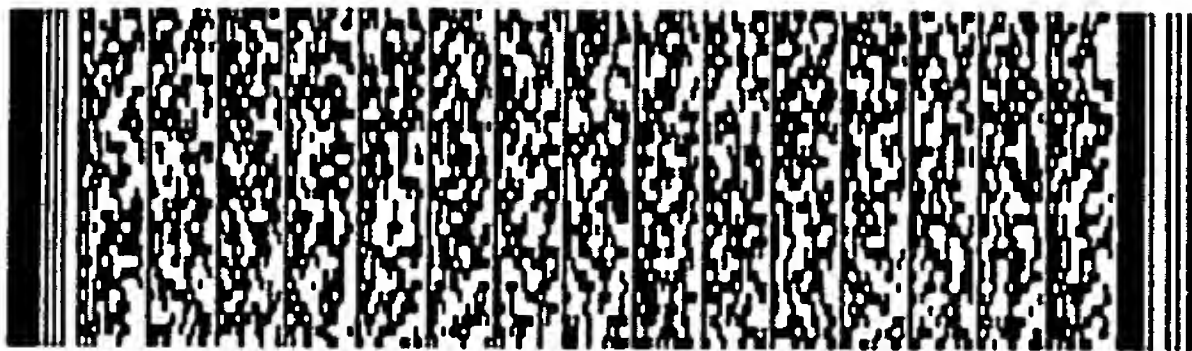
第 17/37 頁



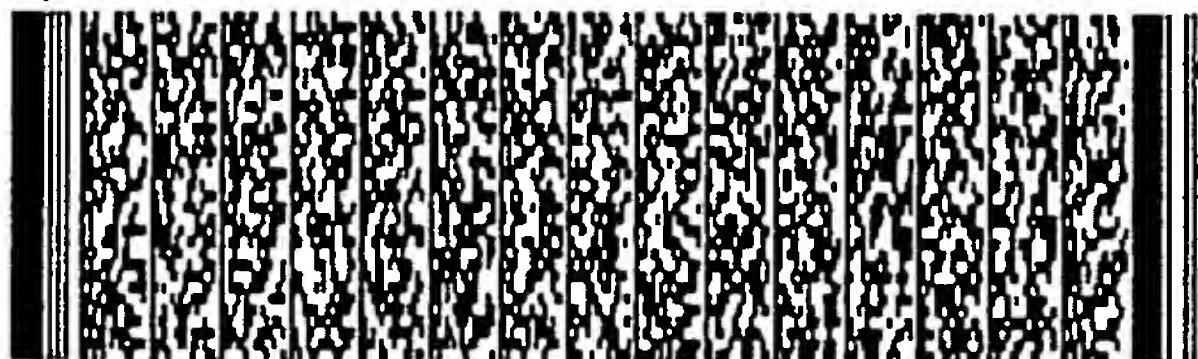
第 18/37 頁



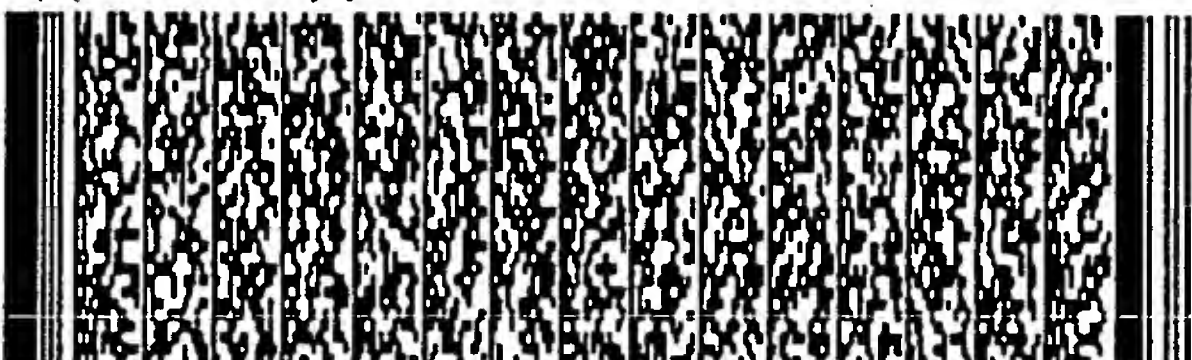
第 18/37 頁



第 19/37 頁



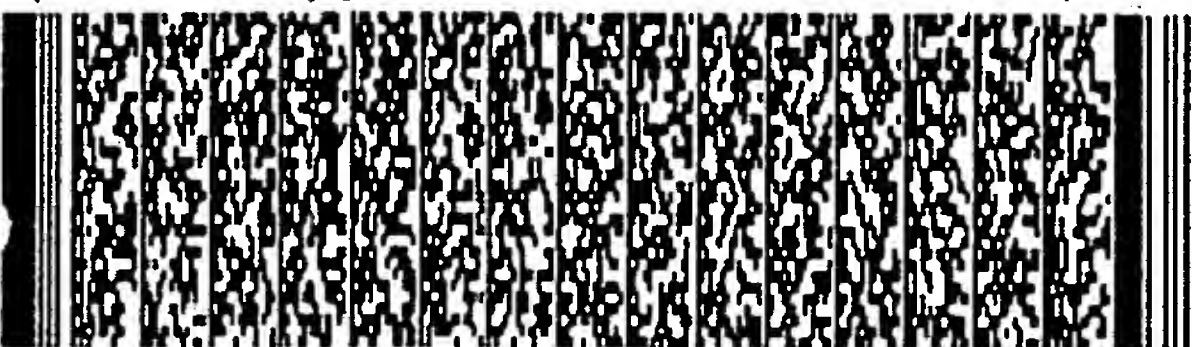
第 19/37 頁



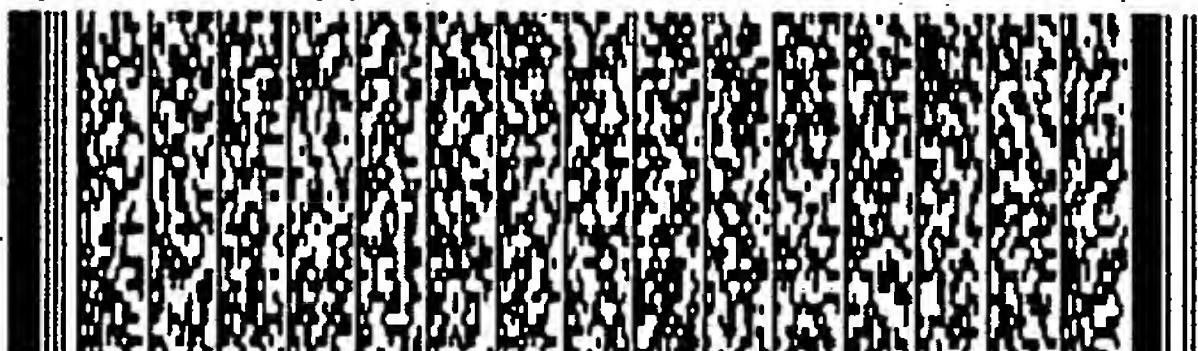
第 20/37 頁



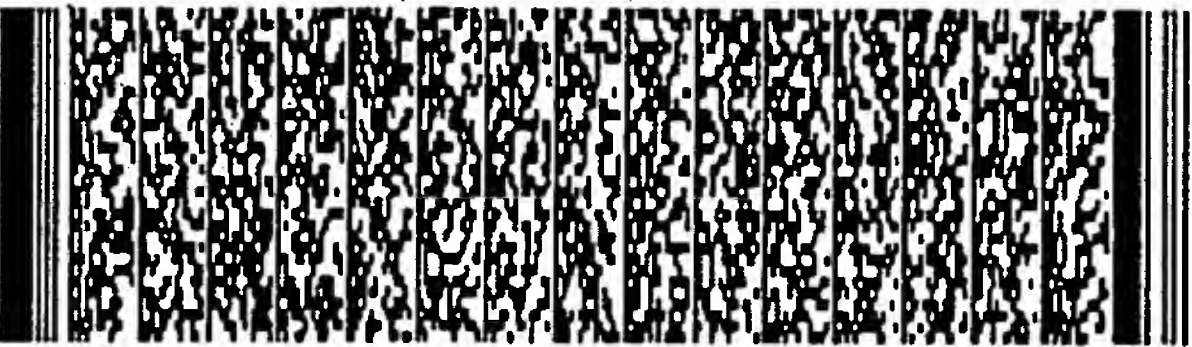
第 20/37 頁



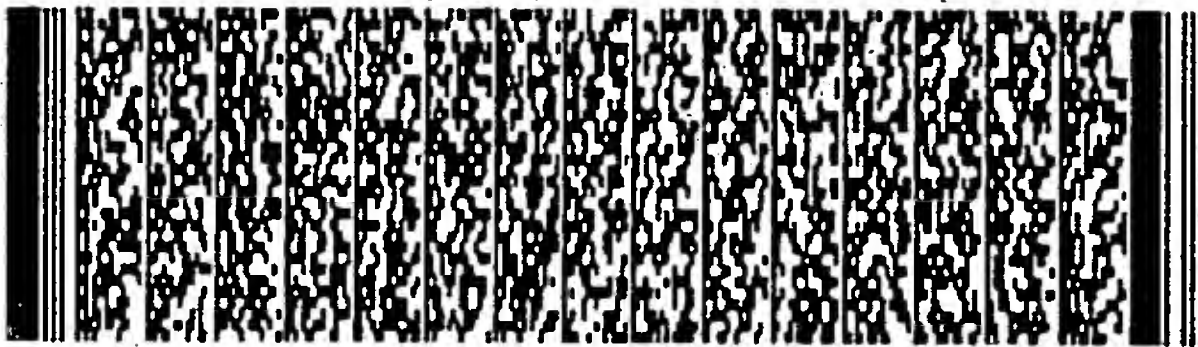
第 21/37 頁



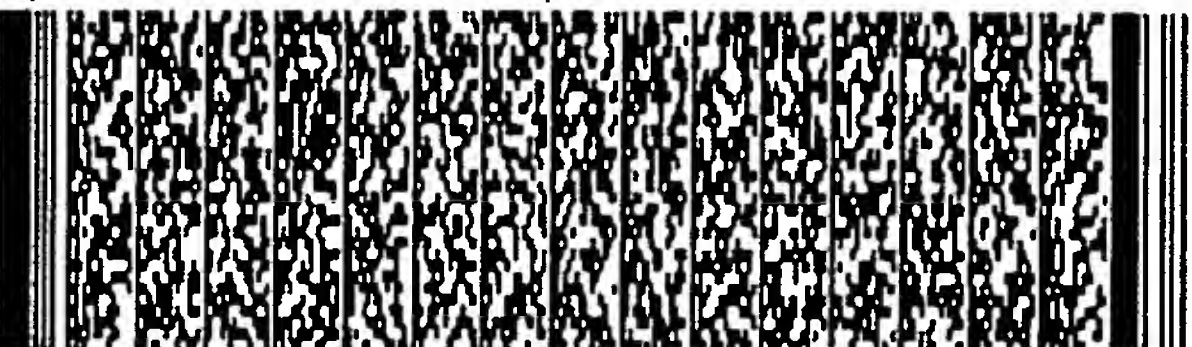
第 21/37 頁



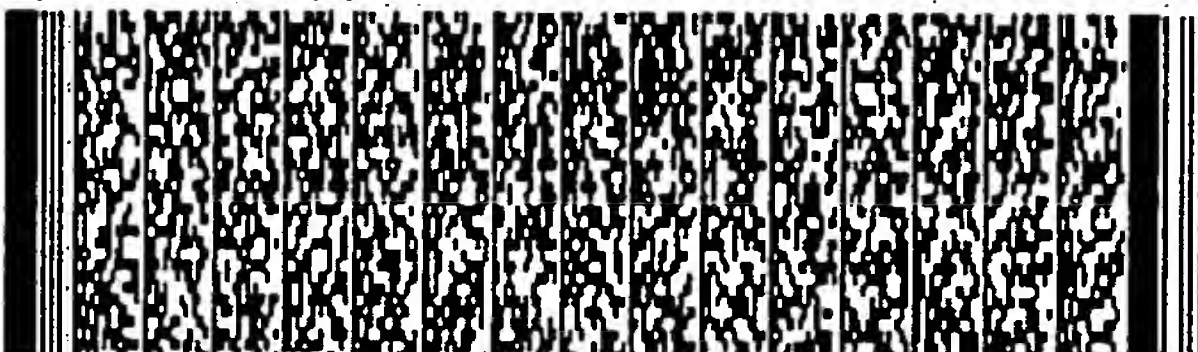
第 22/37 頁



第 22/37 頁



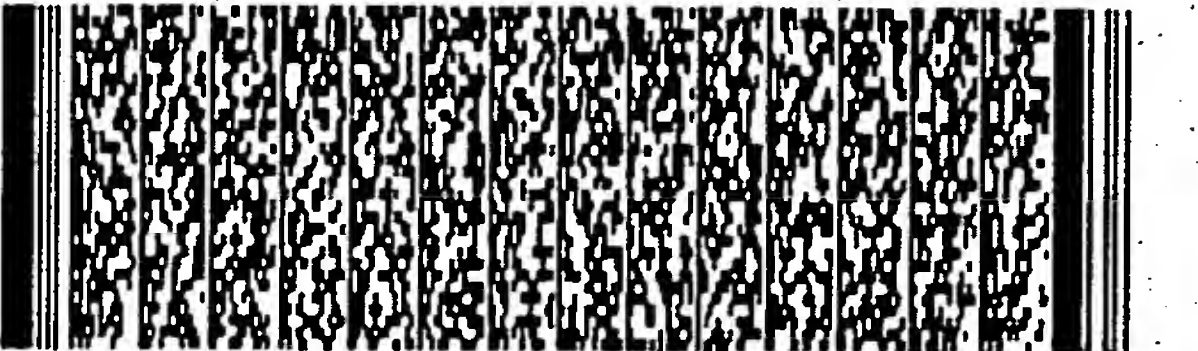
第 23/37 頁



第 23/37 頁



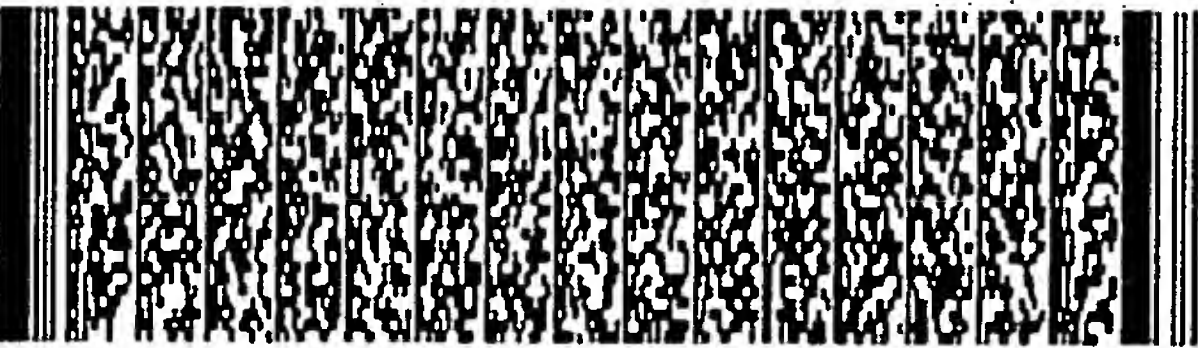
第 24/37 頁



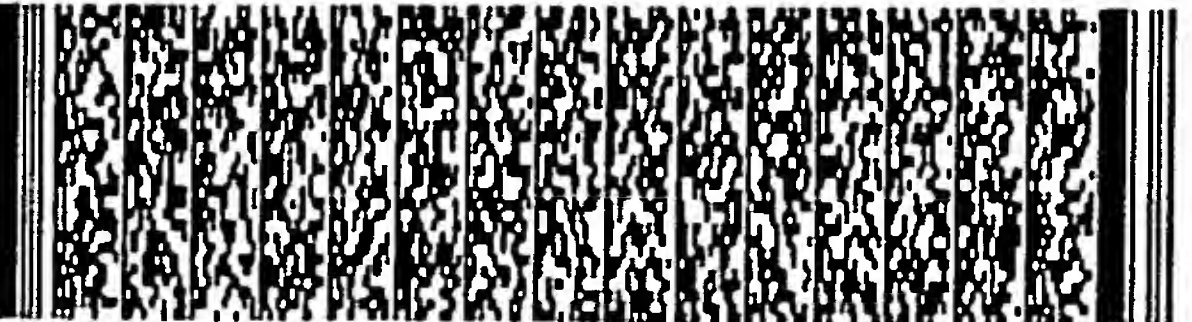
第 24/37 頁



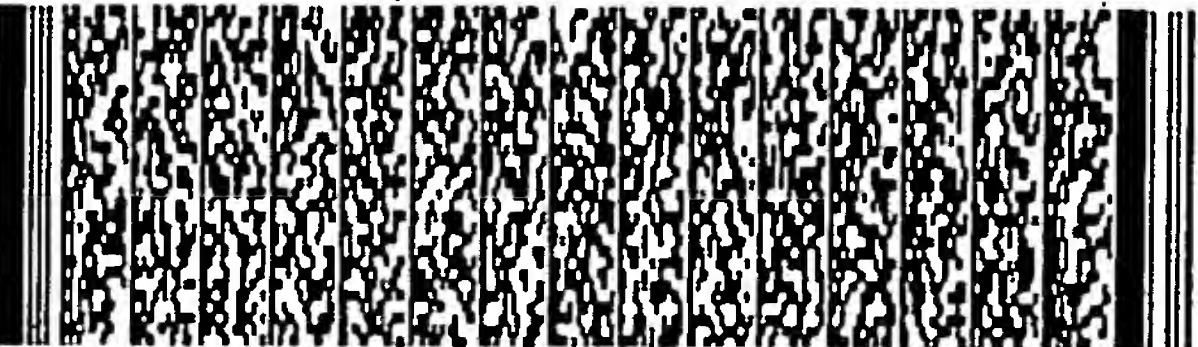
第 25/37 頁



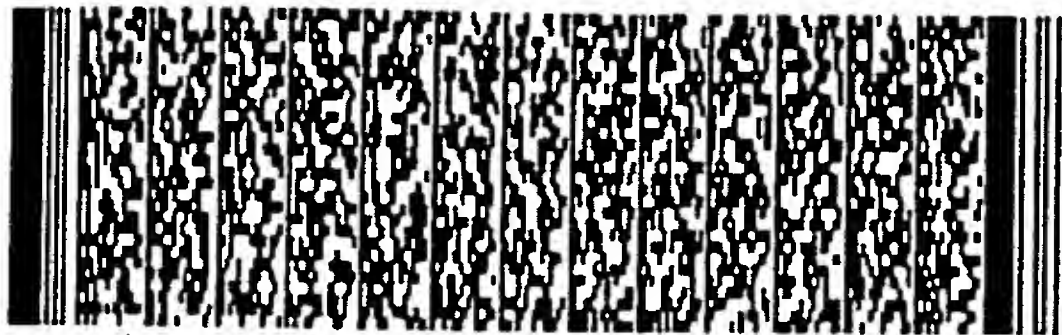
第 25/37 頁



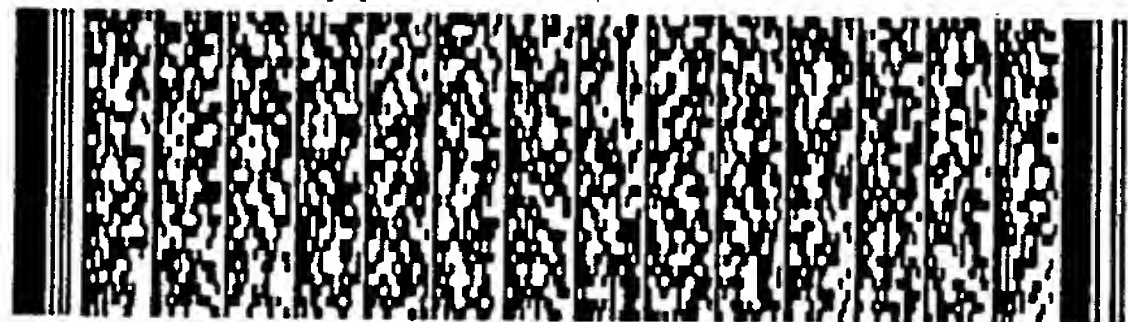
第 26/37 頁



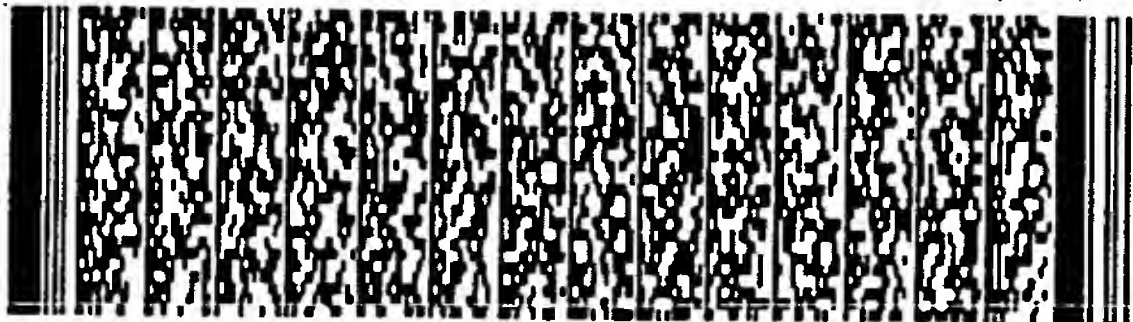
第 27/37 頁



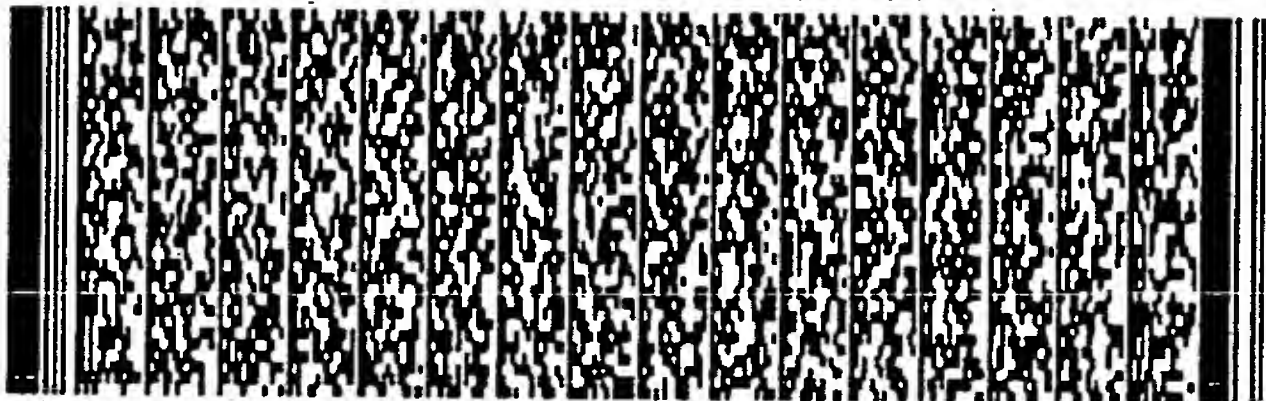
第 28/37 頁



第 28/37 頁



第 29/37 頁



第 30/37 頁



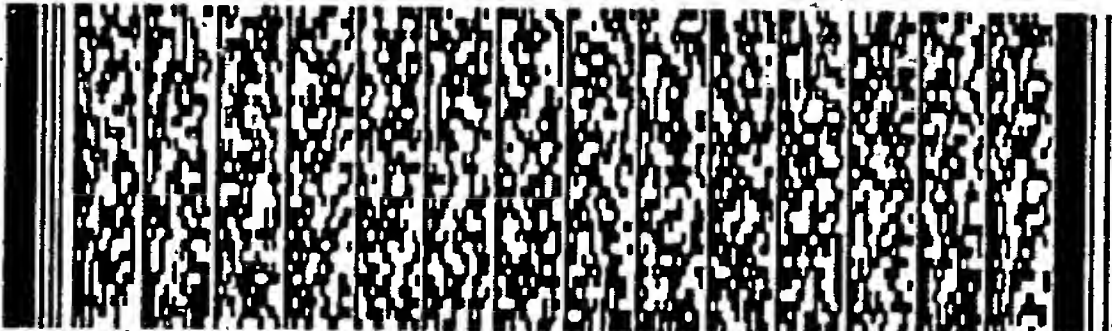
第 30/37 頁



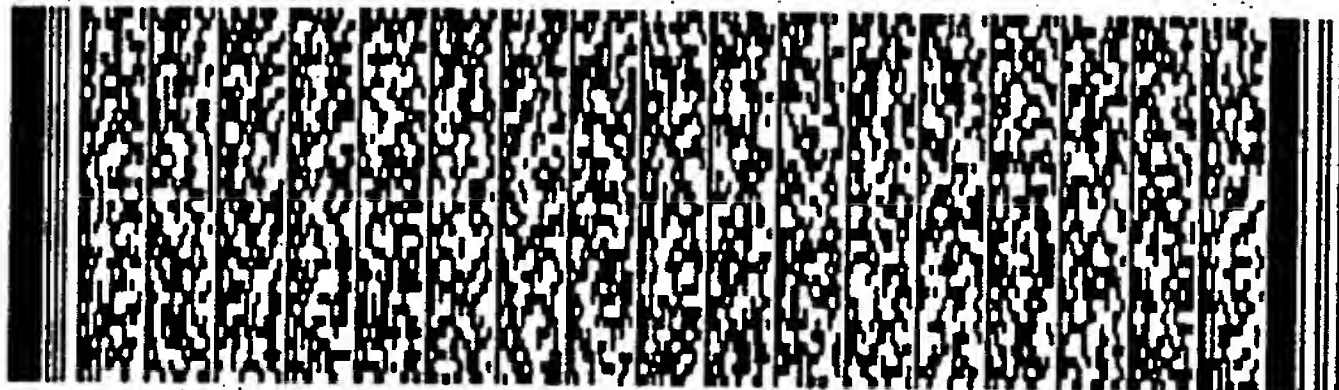
第 31/37 頁



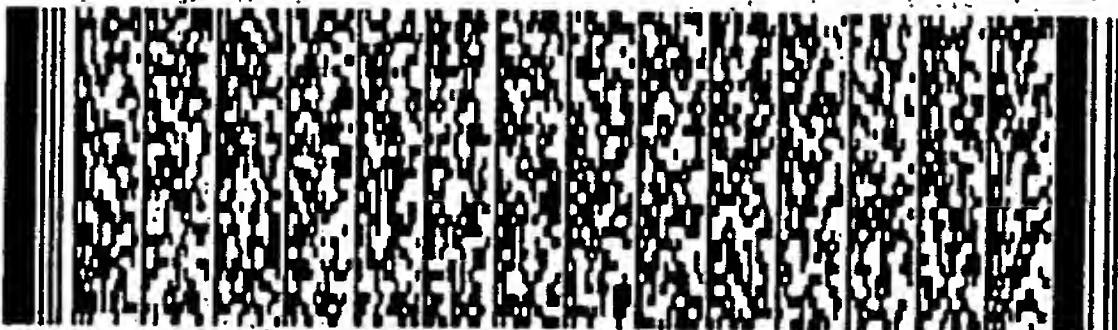
第 31/37 頁



第 32/37 頁



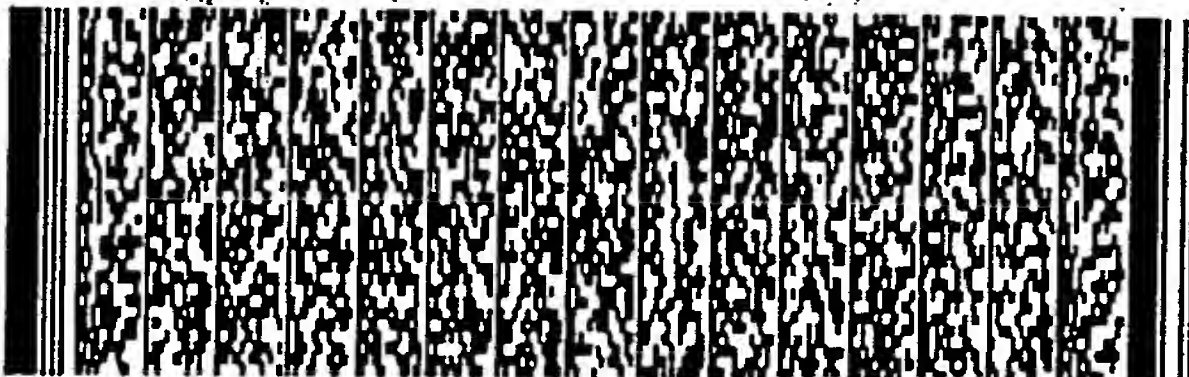
第 33/37 頁



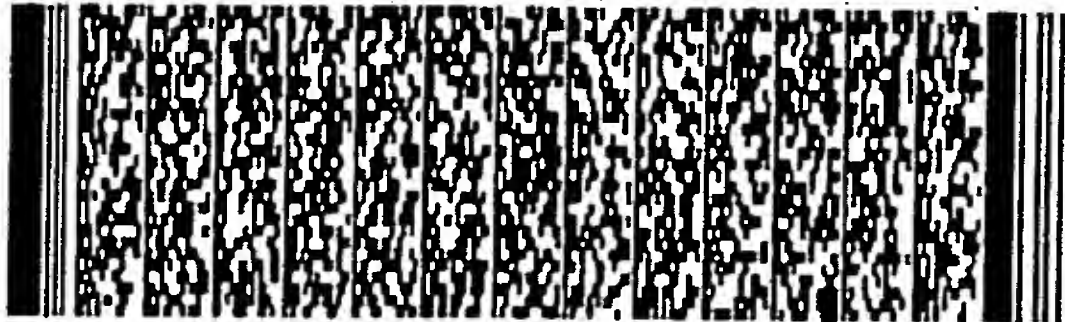
第 33/37 頁



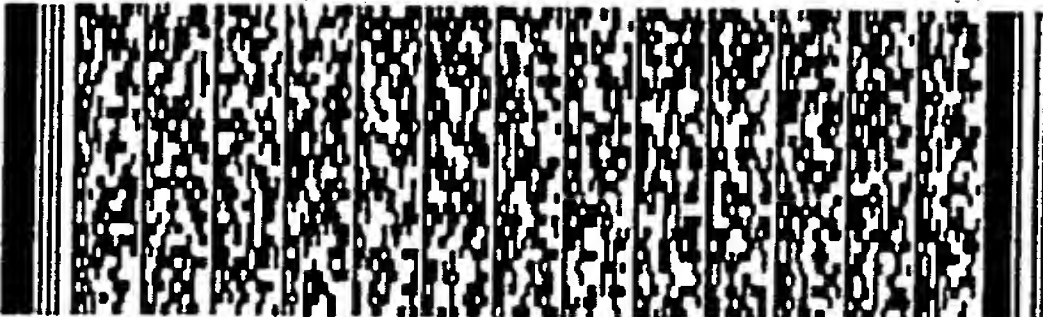
第 34/37 頁



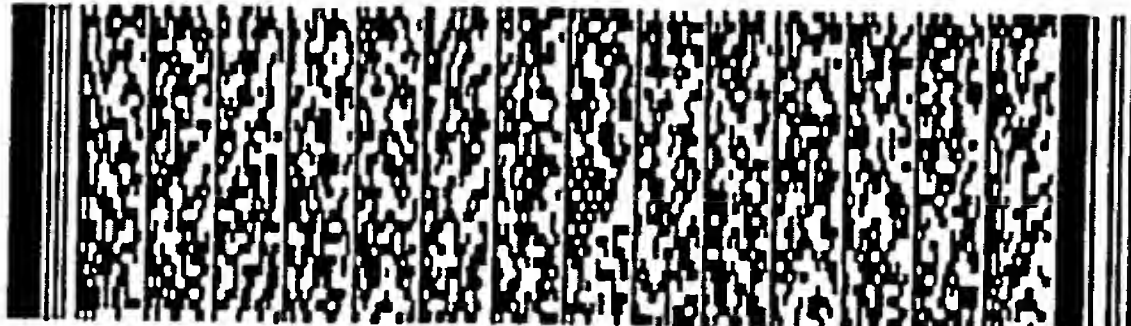
第 35/37 頁



第 35/37 頁

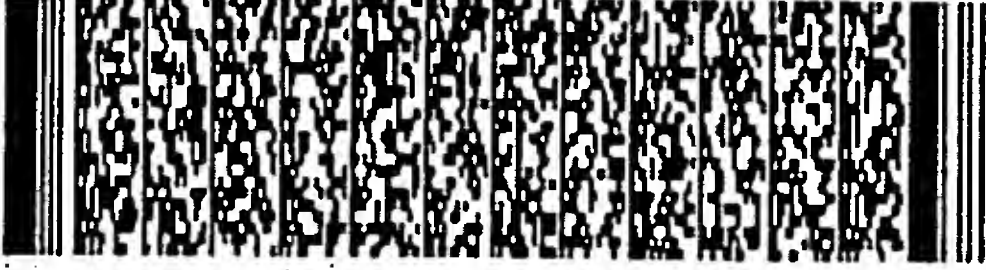


第 36/37 頁



第 36/37 頁





中文造字申請單

專利名稱：一種利用雷射結晶製程來製作薄膜電晶體的方法

[illegible]